

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2004 年 8 月 12 日 (12.08.2004)

PCT

(10) 国際公開番号
WO 2004/068349 A1

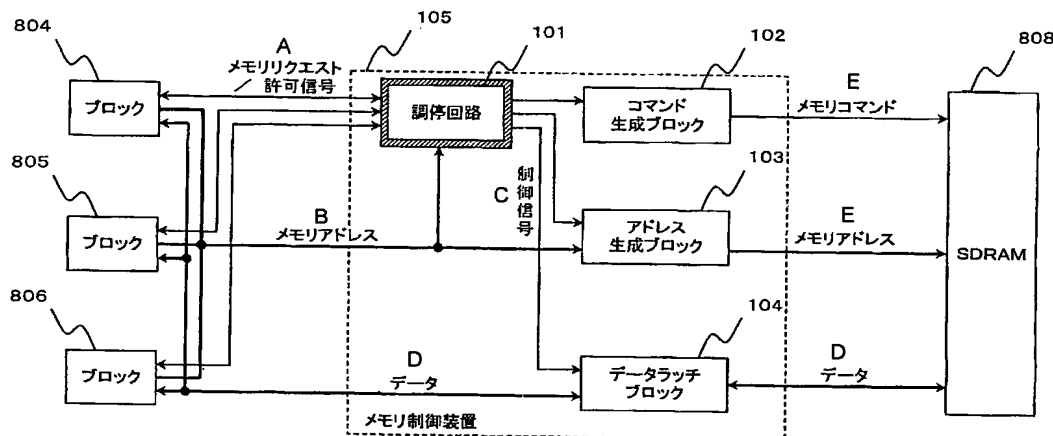
- (51) 国際特許分類⁷: G06F 12/06, 12/00
(21) 国際出願番号: PCT/JP2004/000671
(22) 国際出願日: 2004 年 1 月 26 日 (26.01.2004)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(30) 優先権データ:
特願2003-017372 2003 年 1 月 27 日 (27.01.2003) JP
(71) 出願人 (米国を除く全ての指定国について): 松下電
器産業株式会社 (MATSUSHITA ELECTRIC INDUS-
TRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大
字門真 1 0 0 6 番地 Osaka (JP).
(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 秋月 麻水子
(AKIZUKI, Mamiko) [JP/JP]; 〒7920867 愛媛県新居浜

- 市高津町3-10 Ehime (JP). 青木 透 (AOKI, Toru) [JP/JP];
〒7930006 愛媛県西条市下島山甲2003-51 Ehime (JP).
上田 泰志 (UEDA, Yasushi) [JP/JP]; 〒7930002 愛媛県
西条市天神1-138 Ehime (JP).
(74) 代理人: 森本 義弘 (MORIMOTO, Yoshihiro); 〒
5500005 大阪府大阪市西区西本町 1 丁目 1 0 番
1 0 号西本町全日空ビル4階 Osaka (JP).
(81) 指定国 (表示のない限り、全ての種類の国内保護が
可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,
BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU,
ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT,
LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI,
NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG,
SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, YU, ZA, ZM, ZW.

[続葉有]

(54) Title: MEMORY CONTROL DEVICE

(54) 発明の名称: メモリ制御装置



(57) Abstract: There is provided a memory control device which prevents continuous access to the same bank of an SDRAM, thereby improving the processing time. The memory control device (105) controls a memory including a plurality of banks which can be accessed continuously by the bank division mode. The priority of the blocks (804, 805, 806) accessing the SDRAM (808) via the memory control device (105) is controlled in such a manner that memory access requests from these blocks continuously access different banks of the SDRAM (808).

[続葉有]



(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約: 本発明はSDRAMの同一のバンクに連続してアクセスすることを防止し処理時間を向上させたメモリ制御装置を提供することを目的とする。本発明のメモリ制御装置105は、複数のバンクを有しバンク分割モードにより連続してアクセスすることが可能なメモリを制御するメモリ制御装置であって、メモリ制御装置105を介してSDRAM808にアクセスするブロック804、805、806からのメモリアクセス要求を前記SDRAM808の異なるバンクに連続してアクセスするよう、前記複数のブロックの優先順位を制御するよう構成したものである。

明 細 書

メモリ制御装置

技術分野

- 5 本発明は、電子機器における複数のバンクで構成されるメモリを制御するメモリ制御装置に関するものである。

背景技術

- 10 近年、パーソナルコンピュータで頻繁に使われるキャッシュメモリのバースト転送をクロックに同期して高速に行えるようにしたシンクロナスダイナミックランダムアクセスメモリ（以下、SDRAMと略す。）が使用されつつある。このSDRAMは、バンク分割モードによる連続アクセスモードとランダムアクセスモードとの切り替えが可能である。バンク分割モードでは4つのメモリ領域として、2ビットのバンク信号が「00」であるバンク0、「01」であるバンク1、「10」であるバンク2、「11」であるバンク3とを持ち、このバンク0、バンク1、バンク2及びバンク3をクロック制御により切り替えながらアクセスし、最初にアクセスしたバンクからデータの読み出しを行っている間に次のバンクのアドレス
15 の取り込みを行うことが可能となっている。

- 20 このSDRAMを制御するメモリ制御装置801は、図18に示すように、メモリ制御手段802と調停・Wait信号発生部803とで構成され、複数のブロック804、805、806、807からSDRAM808へのアクセスを制御しているものがある（例えば、JP8-212170A公報を参照。）。

複数のブロック 804, 805, 806, 807 から、それぞれメモリアドレス信号 (MADR) とデータ信号 (DATA) と読み出し/書き込み制御信号 (RD/WR) とが、それぞれのブロックに対応するメモリ制御部 809, 810, 811, 812 に入力
5 される。複数のブロック 804, 805, 806, 807 からのメモリアクセス要求信号 (CS) が調停・Wait 信号発生部 803 に入力され、この調停・Wait 信号発生部 803 から複数のブロック 804, 805, 806, 807 に待ち信号 (Wait) が返信される。調停・Wait 信号発生部 803 からメモリアクセス許可
10 信号 (Enable) を受けたブロックに対応するメモリ制御部は、許可されたブロックの SDRAM 808 へのアクセスを制御する。このメモリ制御装置 801 を用いた SDRAM 808 のリードアクセスタイミングの一例を説明する。なおここでは、この SDRAM 808 をバンク分割モードで動作させている。

15 例えば、ブロックからのメモリアドレスのビット 10 とビット 3 を SDRAM のバンク信号に対応づけて「00」であればバンク 0 を、「01」であればバンク 1 を、「10」であればバンク 2 を、「11」であればバンク 3 を選択する。図 19 に示すように、クロック (図 19 (A)) に従って、複数のブロックのロウアドレス (R
20 0, R 1, R 2, R 3) とカラムアドレス (C 0, C 1, C 2, C 3) を切り替えながら SDRAM 808 にメモリコマンド (図 19 (B)) とメモリアドレス (図 19 (C)) を出力する。バンク 0 から読み出されたデータ (図 19 (D)) D 0 0, D 0 1 は、バンク 0 に対するリードコマンド 901 が入力されてから 3 クロック後
25 に出力される。D 0 1 は D 0 0 に続くアドレスのデータであり、1

つのアドレス入力で2ワードのデータが出力できることを意味している。1ワード分のみ必要な場合はD 0 1は不要であり、メモリアクセスを行ったブロックに転送しない。データが出力されるまでのクロック数は「C A S レイテンシ」と呼ばれるS D R A M 8 0 8に
5 備えられているモード設定で変更することができる。また、1つのアドレス入力で扱えるデータ数は「バースト長」と呼ばれるモード設定で変更することができる。例では、「C A S レイテンシ」を” 3 ”、「バースト長」を” 2 ”としている。

各バンクのプリチャージは、最終データ、すなわち2ワード出力
10 のときはデータD 0 1の出力タイミングで自動的に実行される。バンク1, バンク2, バンク3に関しても同様である。このようにS D R A M 8 0 8のバンク0, バンク1, バンク2, バンク3へのアクセスを切り替えながら行うことによって隙間なく連続してアクセスしている。

15 しかしながら、従来のメモリ制御装置ではバンク分割モードのS D R A M 8 0 8に単一ブロックがアクセスする場合に、同一のバンク（例えば、バンク1とする。）に連続してアクセスするようなメモリアドレスが出力されるとバンク1へのアクセスが続いてしまう。このとき、バンク1に対するプリチャージ動作が終了するまではバ
20 ンク1にアドレスを出力することができず、S D R A M 8 0 8にアクセスできない無駄なサイクルが生じてしまうという問題がある。

そこで、単一ブロックがS D R A M 8 0 8にアクセスする場合には、単一ブロック側で同じバンクに連続してアクセスしないようにメモリアドレスを生成することで前記の問題を解決することが考え
25 られる。しかしながら、複数のブロックがS D R A M 8 0 8にアク

セスする場合には、複数のブロックからのメモリアクセス時のバンクを相互に制御することは極めて難しいため、同一バンクに連続してアクセスする可能性が生じる。

例えば、ブロック 804 がバンク 1 をアクセスした直後に、ブロック 805 がバンク 1 にアクセスしようとしたとき、同一バンクへのアクセスが続いてしまう。このときバンク 1 に対するプリチャージ動作が終了するまでは、バンク 1 にアドレスを出力することができない。即ち、SDRAM 808 にアクセスできない無駄なサイクルが生じてしまう。

さらに、従来のメモリ制御装置 801 では、SDRAM 808 からデータを読み出すリードアクセスの後、SDRAM 808 へデータを書き込むライトアクセスを行う場合、SDRAM 808 の仕様により SDRAM 808 にアクセスできない無駄なサイクルが生じてしまう。そのため、複数のブロック 804, 805, 806, 807 からリードアクセス要求の後にライトアクセス要求が続く場合は、ライトアクセスが連続して行われる場合やリードアクセスが連続して行われる場合に比べ、SDRAM 808 にアクセスするサイクル数が多くなってしまうという問題がある。

また、SDRAM 808 は内部データを保持するため一定時間毎にリフレッシュ動作を実行しなければならない、複数のブロック 804, 805, 806, 807 からのメモリアクセスの間でリフレッシュ動作を実行する。複数のブロック 804, 805, 806, 807 からのライトアクセス要求の後にリフレッシュ動作が実行されると SDRAM 808 の仕様により無駄なサイクルが生じてしまう場合がある。

本発明は、SDRAM 808の同一のバンクに連続してアクセスしないようメモリアクセスの優先順位を変更することにより処理時間を向上させ、リードアクセスの後にライトアクセスが連続しないようメモリアクセスの優先順位を変更することによりメモリアクセスサイクル数を少なくし、ライトアクセス要求の後にリフレッシュ動作が連続しないようメモリアクセスの優先順位を変更することによりメモリアクセスサイクル数を少なくしたメモリ制御装置を提供することを目的とする。

前記課題を解決するために、第1の本発明のメモリ制御装置は、
10 複数のブロックからのメモリアクセスを調停する調停回路が直前にメモリアクセスを許可したバンクとは異なるバンクにアクセスするように優先順位を変更することを特徴とする。

この第1の本発明は、複数のバンクを有するメモリを制御するメモリ制御装置において、複数のブロックからの前記メモリにアクセスするためのメモリアクセス要求の調停を行う調停回路と、前記調停回路からの制御信号に基づき前記メモリへのメモリコマンドを生成するコマンド生成ブロックと、前記調停回路によってアクセスを許可されたブロックからのメモリアドレスを受け取り、前記メモリに出力するアドレス生成ブロックと、前記調停回路によってアクセスを許可された前記ブロックからの書き込みデータまたは前記メモリからの読み出しデータをラッチして、アクセスを許可された前記ブロックと前記メモリ間のデータの受け渡しを行うデータラッチブロックとを備え、前記調停回路が直前にメモリアクセスを許可したバンクとは異なるバンクにアクセスするように前記複数のブロック
20 のメモリアクセスの優先順位を変更することを特徴とする。

第 2 の本発明は、前記第 1 の本発明のメモリ制御装置において、前記調停回路が、前記複数ブロックからのメモリリクエストとメモリアドレスを受け取り、受け取ったメモリアドレスから同一バンクに対するアクセスか判断するバンク判断手段を含み、許可信号の生成を指示するリクエスト受信ブロックと、前記複数ブロックからのメモリアクセスの優先順位を指定するメモリアクセス優先順位指定手段と、前記複数ブロックからのメモリアクセス要求が直前にアクセスしたバンクと同一バンクに対するアクセス要求の場合に次にアクセスを許可するブロックを選択する同一バンク時優先順位指定手段と、前記リクエスト受信ブロックからの許可信号の生成を指示され、前記メモリへのアクセスを許可したブロックに許可信号を出力する許可信号生成ブロックと、前記リクエスト受信ブロックからの制御信号の生成を指示され、各制御信号を生成する制御信号生成ブロックとを備えることを特徴とする。

第 3 の本発明は、前記第 1 の本発明のメモリ制御装置において、前記調停回路は、直前にメモリアクセスを許可したバンクと同一のバンクにアクセスするブロックに対するメモリアクセスの優先順位を下げることを特徴とする。

第 4 の本発明は、前記第 1 の本発明のメモリ制御装置において、前記調停回路は、直前にメモリアクセスを許可したバンクと同一のバンクにアクセスするブロックに対するメモリアクセスの優先順位を下げることを特徴とする。

第 5 の本発明は、前記第 1 の本発明のメモリ制御装置において、前記調停回路は、直前にメモリアクセスを許可したバンクと次のメモリアクセスで要求されたバンクが同一である場合に、メモリアク

セスの優先順位を下げることを特徴とする。

第 6 の本発明は、前記第 2 の本発明のメモリ制御装置において、
前記メモリアクセス優先順位指定手段は、外部から設定可能であり
前記メモリアクセス優先順位指定手段の設定により、前記複数のブ
5 ロックからの前記メモリに対する優先順位を変更できることを特徴
とする。

第 7 の本発明は、前記第 2 の本発明のメモリ制御装置において、
前記同一バンク時優先順位指定手段は、外部から設定可能であり前
記複数ブロックからのメモリアクセス要求が直前にアクセスしたバ
10 ンクと同一バンクに対するアクセス要求の場合に、前記同一バンク
時優先順位指定手段に設定された優先順位に従って、次にメモリへ
のアクセスを許可するブロックを選択することができることを特徴
とする。

第 8 の本発明は、前記第 1 の本発明のメモリ制御装置において、
15 前記メモリは、同期式メモリであることを特徴とする。

さらに、前記課題を解決するために、第 9 の本発明のメモリ制御
装置は、ブロックアクセスデータ単位でメモリアクセス要求を行う
場合は、調停回路が直前にメモリアクセスを許可した後半のバンク
と次のメモリアクセス要求の前半のバンクが同一である場合に、前
20 記調停回路が前記ブロックデータ内のバンクアクセスデータの順序
を入れ替えることを特徴とする。

また、調停回路が直前にメモリアクセスを許可した後半のバンク
と次のメモリアクセス要求の前半のバンクが同一である場合に、前
記ブロックアクセスデータ内の前記バンクアクセスデータの順序を
25 入れ替えて前記メモリから前記ブロックアクセスデータを読み出し

て前記データラッチブロックに格納するとともに格納した前記ブロックアクセスデータ内の前記バンクアクセスデータ単位で順序を入れ替えて、メモリアクセスを行った前記ブロックに対して前記データラッチブロックが転送することを特徴とする。

5 この第 9 の本発明は、複数のバンクを有するメモリを制御するメモリ制御装置において、複数のブロックからの前記メモリにアクセスするためのメモリアクセス要求の調停を行う調停回路と、前記調停回路からの制御信号に基づき前記メモリへのメモリコマンドを生成するコマンド生成ブロックと、前記調停回路によってアクセスを
10 許可されたブロックからのメモリアドレスを受け取り、前記メモリに出力するアドレス生成ブロックと、前記調停回路によってアクセスを許可された前記ブロックからの書き込みデータまたは前記メモリからの読み出しデータをラッチして、アクセスを許可された前記ブロックと前記メモリ間のデータの受け渡しを行うデータラッチブ
15 ロックとを備え、前記メモリの同一バンクに対して書き込みまたは読み出しが行われる所定のバイト数のメモリへのアクセスデータをバンクアクセスデータとし、異なるバンクに属する 2 組の前記バンクアクセスデータによって構成されるデータ単位をブロックアクセスデータとし、前記複数のブロックが前記ブロックアクセスデータ
20 単位でメモリアクセス要求をしたとき、直前にメモリアクセスを許可した後半のバンクと次のメモリアクセス要求の前半のバンクが同一である場合には、前記調停回路が前記ブロックアクセスデータ内のバンクアクセスデータのメモリアクセスの順序を入れ替えることを特徴とする。

25 第 10 の本発明は、前記第 9 の本発明のメモリ制御装置において、

前記調停回路が前記複数ブロックからのメモリリクエストとメモリアドレスを受け取り、受け取ったメモリアドレスから直前にメモリアクセスを許可した後半のバンクと次のメモリアクセス要求の前半のバンクが同一のバンクに対するアクセスか判断するバンク判断手段を含み、許可信号の生成を指示するリクエスト受信ブロックと、前記複数ブロックからのメモリアクセスの優先順位を指定するメモリアクセス優先順位指定手段と、前記リクエスト受信ブロックからの許可信号の生成を指示され、前記メモリへのアクセスを許可したブロックに許可信号を出力する許可信号生成ブロックと、前記リクエスト受信ブロックからの制御信号の生成を指示され、各制御信号を生成する制御信号生成ブロックとを備えることを特徴とする。

第 1 1 の本発明は、前記第 9 の本発明のメモリ制御装置において、前記データラッチブロックが前記複数ブロックからのライトデータを受け取り、ラッチするライトデータラッチブロックと、前記調停回路からのデータラッチ制御信号に基づき、前記ライトデータラッチブロックが出力するバンクアクセスデータの順序を入れ替え、ライトデータとして前記メモリへ出力し、さらに後述するリードデータラッチブロックが出力するバンクアクセスデータの順序を入れ替えリードデータとして前記メモリへのリードアクセスを許可されたブロックへ出力するデータ入れ替えブロックと、前記メモリから読み出されたリードデータを受け取り、ラッチするリードデータラッチブロックとを備えることを特徴とする。

第 1 2 の本発明は、前記第 9 の本発明のメモリ制御装置において、前記調停回路は、直前にメモリアクセスを許可した後半のバンクと次のメモリアクセス要求の前半のバンクが同一である場合、前

記ブロックアクセスデータ内の前記バンクアクセスデータの順序を入れ替えて前記メモリから前記ブロックアクセスデータを読み出して前記データラッチブロックに格納し、前記データラッチブロックは、格納した前記ブロックアクセスデータ内の前記バンクアクセス
5 データ単位で順序を入れ替えて、メモリアクセスを行った前記ブロックに対して転送することを特徴とする。

第 13 の本発明は、前記第 10 の本発明のメモリ制御装置において、前記メモリアクセス優先順位指定手段は、外部から設定可能であり前記メモリアクセス優先順位指定手段の設定により、前記複数
10 のブロックからの前記メモリに対する優先順位を変更できることを特徴とする。

第 14 の本発明は、前記第 9 の本発明のメモリ制御装置において、前記メモリは、同期式メモリであることを特徴とする。

さらに、前記課題を解決するために、第 15 の本発明のメモリ制御装置は、前記メモリへのアクセスを許可された前記ブロックからのメモリアクセス要求がバンクアクセスデータ単体の場合に、前記
15 コマンド生成ブロックで待ちサイクルを設けることを特徴とする。

この第 15 の本発明は、複数のバンクを有するメモリを制御するメモリ制御装置において、複数のブロックからの前記メモリにアクセスするためのメモリアクセス要求の調停を行う調停回路と、前記
20 調停回路からの制御信号に基づき前記メモリへのメモリコマンドを生成するコマンド生成ブロックと、前記調停回路によってアクセスを許可されたブロックからのメモリアドレスを受け取り、前記メモリに出力するアドレス生成ブロックと、前記調停回路によってアクセスを許可された前記ブロックからの書き込みデータまたは前記メ
25

メモリからの読み出しデータをラッチして、アクセスを許可された前記ブロックと前記メモリ間のデータの受け渡しを行うデータラッチブロックとを備え、前記メモリの同一バンクに対して、書き込みまたは読み出しが行われる所定のバイト数のメモリへのアクセスデータをバンクアクセスデータとし、異なるバンクに属する2組の前記バンクアクセスデータによって構成されるデータ単位をブロックアクセスデータとすると、前記メモリへのアクセスを許可された前記ブロックからのメモリアクセス要求が前記バンクアクセスデータ単体の場合には、前記調停回路が待ちサイクルを設けるように前記
5 コマンド生成ブロックに指示することを特徴とする。

第16の本発明は、前記第15の本発明のメモリ制御装置において、前記調停回路が、前記複数ブロックからのメモリリクエストを受け取り、受け取ったメモリリクエストから要求されたメモリアクセスのデータ単位を判断するデータ単位判断手段を含み、許可信号
15 の生成を指示するリクエスト受信ブロックと、前記複数ブロックからのメモリアクセスの優先順位を指定するメモリアクセス優先順位指定手段と、前記複数ブロックからのメモリアクセス要求がバンクアクセスデータ単位の場合に設ける待ちサイクル数を指定するウェイトサイクル指定手段と、前記リクエスト受信ブロックからの許可
20 信号の生成を指示され、前記メモリへのアクセスを許可したブロックに許可信号を出力する許可信号生成ブロックと、前記リクエスト受信ブロックからの制御信号の生成を指示され、各制御信号を生成する制御信号生成ブロックとを備えることを特徴とする。

第17の本発明は、前記第16の本発明のメモリ制御装置において、前記メモリアクセス優先順位指定手段は、外部から設定可能で
25

あり前記メモリアクセス優先順位指定手段の設定により、前記複数のブロックからの前記メモリに対する優先順位を変更できることを特徴とする。

第 18 の本発明は、前記第 16 の本発明のメモリ制御装置において、
5 前記ウェイトサイクル指定手段は、外部から設定可能であり前記ウェイトサイクル指定手段の設定により、前記コマンド生成ブロックで設ける待ちサイクル数を変更できることを特徴とする。

第 19 の本発明は、第 15 の本発明のメモリ制御装置において、前記メモリは、同期式メモリであることを特徴とする。

10 さらに、前記課題を解決するために、第 20 の本発明のメモリ制御装置は調停回路が直前に許可したメモリアクセスがリードアクセスの場合、連続してリードアクセスが行われるように複数のブロックのメモリアクセス要求の優先順位を変更することを特徴とする。

この第 20 の本発明は、複数のバンクを有するメモリを制御する
15 メモリ制御装置において、複数のブロックからの前記メモリにアクセスするためのメモリアクセス要求の調停を行う調停回路と、前記調停回路からの制御信号に基づき前記メモリへのメモリコマンドを生成するコマンド生成ブロックと、前記調停回路によってアクセスを許可されたブロックからのメモリアドレスを受け取り、前記メモ
20 りに出力するアドレス生成ブロックと、前記調停回路によってアクセスを許可された前記ブロックからの書き込みデータまたは前記メモリからの読み出しデータをラッチして、アクセスを許可された前記ブロックと前記メモリ間のデータの受け渡しを行うデータラッチ
25 ブロックとを備え、前記調停回路が直前に許可したメモリアクセスがリードアクセスの場合は、連続してリードアクセスが行われるよ

うに前記複数のブロックのメモリアクセス要求の優先順位を変更することを特徴とする。

第 2 1 の本発明は、前記第 2 0 の本発明のメモリ制御装置において、前記調停回路が、前記複数ブロックからのメモリリクエストを受け取り、受け取ったメモリリクエストから要求されたメモリアクセスの種類を判断するアクセス要求判断手段を含み、許可信号の生成を指示するリクエスト受信ブロックと、前記複数ブロックからのメモリアクセスの優先順位を指定するメモリアクセス優先順位指定手段と、直前に許可したメモリアクセスがリードアクセスの場合に、次にリードアクセスを許可するブロックを選択するリードアクセス時優先順位指定手段と、前記リクエスト受信ブロックからの許可信号の生成を指示され、前記メモリへのアクセスを許可したブロックに許可信号を出力する許可信号生成ブロックと、前記リクエスト受信ブロックからの制御信号の生成を指示され、各制御信号を生成する制御信号生成ブロックとを備えることを特徴とする。

第 2 2 の本発明は、前記第 2 0 の本発明のメモリ制御装置において、前記調停回路は、直前に許可したメモリアクセスがリードアクセスの場合に、リードアクセスの優先順位を上げることを特徴とする。

第 2 3 の本発明は、前記第 2 0 の本発明のメモリ制御装置において、前記調停回路は、直前に許可したメモリアクセスがリードアクセスで、次のメモリアクセス要求にリードアクセスが存在する場合に、リードアクセスの優先順位を上げることを特徴とする。

第 2 4 の本発明は、前記第 2 0 の本発明のメモリ制御装置において、前記メモリアクセス優先順位指定手段は、外部から設定可能で

あり前記メモリアクセス優先順位指定手段の設定により、前記複数のブロックからの前記メモリに対する優先順位を変更できることを特徴とする。

第 25 の本発明は、前記第 20 の本発明のメモリ制御装置において、前記リードアクセス時優先順位指定手段は、外部から設定可能であり前記調停回路が直前に許可したメモリアクセスがリードアクセスの場合に、前記リードアクセス時優先順位指定手段に設定された優先順位に従って、次にメモリへのリードアクセスを許可するブロックを選択することができることを特徴とする。

10 第 26 の本発明は、前記第 20 の本発明のメモリ制御装置において、前記メモリは、同期式メモリであることを特徴とする。

さらに、前記課題を解決するために、第 27 の本発明のメモリ制御装置は、直前に許可したメモリアクセスがライトアクセスの場合、リフレッシュ要求ブロックからリフレッシュ要求の優先順位を変更
15 することを特徴とする。

この第 27 の本発明は、複数のバンクを有するメモリを制御するメモリ制御装置において、前記メモリの内部データを保持するために一定間隔でリフレッシュ動作を要求するリフレッシュ要求ブロックと、複数のブロックからの前記メモリにアクセスするためのメモリアクセス要求と前記リフレッシュ要求ブロックからのリフレッシュ要求の調停を行う調停回路と、前記調停回路からの制御信号に基づき前記メモリへのメモリコマンドを生成するコマンド生成ブロックと、前記調停回路によってアクセスを許可されたブロックからのメモリアドレスを受け取り、前記メモリに出力するアドレス生成
20 ブロックと、前記調停回路によってアクセスを許可された前記ブロッ
25

クからの書き込みデータまたは前記メモリからの読み出しデータをラッチして、アクセスを許可された前記ブロックと前記メモリ間のデータの受け渡しを行うデータラッチブロックとを備え、前記調停回路が直前に許可したメモリアクセスがライトアクセスの場合は、

5 前記リフレッシュ要求ブロックからのリフレッシュ要求の優先順位を変更することを特徴とする。

第 28 の本発明は、前記第 27 の本発明のメモリ制御装置において、前記調停回路が、前記リフレッシュ要求ブロックからのリフレッシュ要求と前記複数ブロックからのメモリリクエストを受け取り、

10 受け取ったリフレッシュ要求とメモリリクエストから要求されたメモリアクセスの種類を判断するアクセス要求判断手段を含み、許可信号の生成を指示するリクエスト受信ブロックと、前記複数ブロックからのメモリアクセスの優先順位を指定するメモリアクセス優先順位指定手段と、前記リフレッシュ要求ブロックからリフレッシュ

15 要求が出力され、前記調停回路が直前に許可したメモリアクセスがライトアクセスの場合に、次にリードアクセスを許可するブロックを選択するライトアクセス時優先順位指定手段と、前記リクエスト受信ブロックからの許可信号の生成を指示され、前記メモリへのアクセスを許可したブロックに許可信号を出力する許可信号生成ブ

20 ックと、前記リクエスト受信ブロックからの制御信号の生成を指示され、各制御信号を生成する制御信号生成ブロックとを備えることを特徴とする。

第 29 の本発明は、前記第 27 の本発明のメモリ制御装置において、前記調停回路は、直前に許可したメモリアクセスがライトアクセスの場合に、リフレッシュ要求の優先順位を下げることを特徴と

25

する。

第 30 の本発明は、前記第 27 の本発明のメモリ制御装置において、前記調停回路は、直前に許可したメモリアクセスがライトアクセスで、次のメモリアクセス要求にリフレッシュ要求が存在する場合に、リフレッシュ要求の優先順位を下げることを特徴とする。

第 31 の本発明は、前記第 28 の本発明のメモリ制御装置において、前記メモリアクセス優先順位指定手段は、外部から設定可能であり前記メモリアクセス優先順位指定手段の設定により、前記複数のブロックからの前記メモリに対する優先順位を変更できることを特徴とする。

第 32 の本発明は、前記第 28 の本発明のメモリ制御装置において、前記ライトアクセス時優先順位指定手段は、外部から設定可能であり前記リフレッシュ要求ブロックからリフレッシュ要求が出力され、前記調停回路が直前に許可したメモリアクセスがライトアクセスの場合に、前記ライトアクセス時優先順位指定手段に設定された優先順位に従って、次にメモリへのアクセスを許可するブロックを選択することができることを特徴とする。

第 33 の本発明は、前記第 27 の本発明のメモリ制御装置において、前記メモリは、同期式メモリであることを特徴とする。

第 34 の本発明は、複数のバンクを有するメモリを制御するメモリ制御装置において、複数のブロックからの前記メモリにアクセスするためのメモリアクセス要求の調停を行う調停回路と、前記調停回路からの制御信号に基づき前記メモリへのメモリコマンドを生成するコマンド生成ブロックと、前記調停回路によってアクセスを許可されたブロックからのメモリアドレスを受け取り、前記メモリに

出力するアドレス生成ブロックと、前記調停回路によってアクセスを許可された前記ブロックからの書き込みデータまたは前記メモリからの読み出しデータをラッチして、アクセスを許可された前記ブロックと前記メモリ間のデータの受け渡しを行うデータラッチブロックとを備え、前記複数ブロックからのメモリアクセス要求が直前にアクセスしたバンクと同一バンクに対するアクセス要求でかつ、前記調停回路が直前に許可したメモリアクセスがリードアクセスの場合は、前記調停回路が前記複数のブロックのメモリアクセスの優先順位を変更するための調停方法を指定することを特徴とする。

- 10 第35の本発明は、前記第34の本発明のメモリ制御装置において、前記調停回路が、前記複数ブロックからのメモリアドレスを受け取り、受け取ったメモリアドレスから同一バンクに対するアクセスか判断するバンク判断手段と、前記複数ブロックからのメモリリクエストを受け取り、受け取ったメモリリクエストから要求された
- 15 メモリアクセスの種類を判断するアクセス要求判断手段と、前記バンク判断手段と前記アクセス要求判断手段とを含み、許可信号の生成を指示するリクエスト受信ブロックと、前記複数ブロックからのメモリアクセスの優先順位を指定するメモリアクセス優先順位指定手段と、前記複数ブロックからのメモリアクセス要求が直前にアク
- 20 セスしたバンクと同一バンクに対するアクセス要求でかつ、前記調停回路が直前に許可したメモリアクセスがリードアクセスの場合に、メモリアクセスの優先順位を変更するための調停方法を指定する調停方法指定手段と、前記調停方法指定手段の設定がバンク優先の場合に、次にアクセスを許可するブロックを選択する同一バンク時優
- 25 先順位指定手段と、前記調停方法指定手段の設定がアクセス優先の

場合に、次にリードアクセスを許可するブロックを選択するリードアクセス時優先順位指定手段と、前記リクエスト受信ブロックからの許可信号の生成を指示され、前記メモリへのアクセスを許可したブロックに許可信号を出力する許可信号生成ブロックと、前記リクエスト受信ブロックからの制御信号の生成を指示され、各制御信号を生成する制御信号生成ブロックとを備えることを特徴とする。

第 3 6 の本発明は、前記第 3 5 の本発明のメモリ制御装置において、前記メモリアクセス優先順位指定手段は、外部から設定可能であり前記メモリアクセス優先順位指定手段の設定により、前記複数のブロックからの前記メモリに対する優先順位を変更できることを特徴とする。

第 3 7 の本発明は、前記第 3 5 の本発明のメモリ制御装置において、前記調停方法指定手段は、外部から設定可能であり前記調停方法指定手段の設定により、前記複数のブロックからのメモリアクセスの調停方法を変更できることを特徴とする。

第 3 8 の本発明は、前記第 3 5 の本発明のメモリ制御装置において、前記同一バンク時優先順位指定手段は、外部から設定可能であり前記調停方法指定手段の設定がバンク優先の場合でかつ、前記複数のブロックからのメモリアクセス要求が直前にアクセスしたバンクと同一バンクに対するアクセス要求の場合に、前記同一バンク時優先順位指定手段に設定された優先順位に従って、次にメモリへのアクセスを許可するブロックを選択することができることを特徴とする。

第 3 9 の本発明は、前記第 3 5 の本発明のメモリ制御装置において、前記リードアクセス時優先順位指定手段は、外部から設定可能

であり前記調停方法指定手段の設定がアクセス優先の場合でかつ、前記調停回路が直前に許可したメモリアクセスがリードアクセスの場合に、前記リードアクセス時優先順位指定手段に設定された優先順位に従って、次にメモリへのリードアクセスを許可するブロック

5 を選択することができることを特徴とする。

第40の本発明は、前記第34の本発明のメモリ制御装置において、前記メモリは、同期式メモリであることを特徴とする。

以上のように本発明のメモリ制御装置によれば、調停回路が直前にメモリアクセスを許可したバンクと同一のバンクが連続する場合

10 に前記メモリにアクセスできない待ちサイクルを解消して、処理時間を向上させることができる。また、メモリアドレスを生成する複数のブロックは、直前にメモリアクセスを許可されたバンクを意識することなくメモリアドレスを生成することができる。

また、異なるバンクに属する2組のバンクアクセスデータによって構成されるブロックアクセスデータ単位でメモリアクセス要求をした時、調停回路が直前にメモリアクセスを許可した後半のバンクと次のメモリアクセス要求の前半のバンクが同一である場合にメモリにアクセスできない待ちサイクルを解消して、処理時間を向上させることができる。また、メモリアドレスを生成する複数のブロッ

15 クは、直前のバンクを意識することなくメモリアドレスを生成することができる。

さらに、メモリから読み出したブロックアクセスデータをブロックから要求があったメモリアクセス順に出力することにより、メモリアドレスを生成する複数のブロックはバンクを意識することなく

20 前記メモリから読み出したブロックアクセスデータを受け取ること

が可能である。

また、バンクアクセスデータ単体でメモリアクセス要求が行われるブロックからのメモリアクセス要求を調停回路が許可した場合には、コマンド生成ブロックで待ちサイクルを設けることにより、直
5 前に許可されたメモリアクセスのバンクの影響を受けずメモリアクセスを実現することができ、かつ、バンクアクセスデータ単体でメモリアクセスを行うために必要な回路を削減することができる。

また、調停回路が直前に許可したメモリアクセスがリードアクセスの場合に、次のメモリアクセス要求がリードアクセス以外の場合
10 に生じるメモリにアクセスできない待ちサイクルを解消して、処理時間を向上させることができる。

また、調停回路が直前に許可したメモリアクセスがライトアクセスの場合に、次のメモリアクセス要求がリフレッシュ要求の場合に生じるメモリにアクセスできない待ちサイクルを解消して、処理時
15 間を向上させることができる。

図面の簡単な説明

図 1 は、本発明の実施の形態 1 におけるメモリ制御装置を示すブロック図、

20 図 2 は、本発明の実施の形態 1 におけるメモリ制御装置の主要な信号のタイミングチャート、

図 3 は本発明の実施の形態 2 におけるメモリ制御装置の主要な信号のタイミングチャート、

図 4 は本発明の実施の形態 3 におけるメモリ制御装置の主要な信号
25 号のタイミングチャート、

図 5 は本発明の実施の形態 4 におけるメモリ制御装置の主要な信号のタイミングチャート、

図 6 は本発明の実施の形態 5 におけるメモリ制御装置を示すブロック図、

5 図 7 は本発明の実施の形態 5 におけるメモリ制御装置の主要な信号のタイミングチャート、

図 8 は実施の形態 1 における調停回路、

図 9 は本発明の実施の形態 1 において、同一バンクが連続した場合に次にアクセスを許可するブロックを選択する場合のタイミング
10 チャート、

図 10 は本発明の実施の形態 2 の調停回路 101 を示すブロック図、

図 11 は本発明の実施の形態 2 のデータラッチブロック 104 を示すブロック図、

15 図 12 は本発明の実施の形態 3 の調停回路を示すブロック図、

図 13 は本発明の実施の形態 4 の調停回路を示すブロック図、

図 14 は本発明の実施の形態 4 において、調停回路 101 が直前に許可したメモリアクセスがリードアクセスの場合に次にリードアクセスを許可する場合のタイミングチャート、

20 図 15 は本発明の実施の形態 5 の調停回路を示すブロック図、

図 16 は本発明の実施の形態 5 において、調停回路 101 が直前に許可したメモリアクセスがライトアクセスの場合に次にリードアクセスを許可する場合のタイミングチャート、

図 17 は本発明の実施の形態 6 の調停回路を示すブロック図、

25 図 18 は従来発明のメモリ制御装置の構成を示すブロック図、

図 1 9 は従来発明のメモリ制御装置の主要な信号のタイミングチャートである。

発明を実施するための最良の形態

5 (実施の形態 1)

以下に、第 1 ないし第 8 の本発明の実施の形態について、図 1 及び図 2 及び図 8 及び図 9 を用いて説明する。図 1 は実施の形態 1 におけるメモリ制御装置を示すブロック図、図 2 は図 1 の主要な信号のタイミングチャート、図 8 は実施の形態 1 における調停回路を示すブロック図である。

このメモリ制御装置 1 0 5 は、図 1 に示すように S D R A M 8 0 8 にアクセスする複数のブロック 8 0 4, 8 0 5, 8 0 6 からのメモリアクセス要求の調停を行う調停回路 1 0 1 と、S D R A M 8 0 8 へのメモリコマンドを生成するコマンド生成ブロック 1 0 2 と、
15 前記調停回路 1 0 1 によってアクセスを許可された前記ブロックからのメモリアドレスを受け取り、S D R A M 8 0 8 に出力するアドレス生成ブロック 1 0 3 と、前記調停回路 1 0 1 によってアクセスを許可された前記ブロックからの書き込みデータまたは S D R A M 8 0 8 からの読み出しデータをラッチし、アクセスを許可された前
20 記ブロックと S D R A M 8 0 8 とのデータの受け渡しを行うデータラッチブロック 1 0 4 とで構成される。

前記調停回路 1 0 1 は、図 8 に示すように前記複数ブロック 8 0 4, 8 0 5, 8 0 6 からのメモリリクエストとメモリアドレスを受け取り、受け取ったメモリアドレスから同一のバンクに対するアクセスか判断するバンク判断手段 1 0 0 2 を含み、許可信号の生成を
25

指示するリクエスト受信ブロック 1001 と、前記複数ブロック 804, 805, 806 からのメモリアクセスの優先順位を指定するメモリアクセス優先順位指定手段 1003 と、前記複数ブロック 804, 805, 806 からのメモリアクセス要求が直前にアクセスしたバンクと同一バンクに対するアクセス要求の場合に次にアクセスを許可するブロックを選択する同一バンク時優先順位指定手段 1004 と、前記リクエスト受信ブロック 1001 からの許可信号の生成を指示され、前記 SDRAM 808 へのアクセスを許可したブロックに許可信号を出力する許可信号生成ブロック 1005 と、前記リクエスト受信ブロック 1001 からの制御信号の生成を指示され、コマンド生成制御信号及びアドレス生成制御信号及びデータラッチ制御信号を生成する制御信号生成ブロック 1006 とで構成される。

図 2 において、

- 15 (A) は SDRAM 808 が動作するクロック、
- (B) はブロック 804 から出力される調停回路 101 へのメモリリクエスト、
- (C) は調停回路 101 から返信されるブロック 804 へのメモリアクセス許可信号、
- 20 (D) はブロック 805 から出力される調停回路 101 へのメモリリクエスト、
- (E) は調停回路 101 から返信されるブロック 805 へのメモリアクセス許可信号、
- 25 (F) はブロック 806 から出力される調停回路 101 へのメモリ

リクエスト、

(G) は調停回路 1 0 1 から返信されるブロック 8 0 6 へのメモリアクセス許可

信号、

- 5 (H) はメモリ制御装置 1 0 5 が S D R A M 8 0 8 に対し実行しているメモリア

クセス、

(I) は S D R A M 8 0 8 から読み出したリードデータを示す。

- 2 0 1 はメモリ制御装置 1 0 5 がアクセス中のバンク 1 へのメモ
10 リリードアクセス、

2 0 2 はブロック 8 0 5 のバンク 2 へのメモリリードアクセス、

2 0 3 はブロック 8 0 4 のバンク 1 へのメモリリードアクセス、

2 0 4 はブロック 8 0 6 のバンク 0 へのメモリリードアクセスである。

- 15 なお、ブロック 8 0 4, 8 0 5, 8 0 6 は、例えば C P U や誤り訂正ブロックなどがあり、ホストコンピュータとマイクロコンピュータ間のデータ転送を S D R A M 8 0 8 を介して実行したり、誤り訂正ブロックで誤ったデータを訂正したりする。また、ブロック 8
0 4, 8 0 5, 8 0 6 からのメモリアクセス要求は S D R A M 8 0
20 8 の同じバンクに対して、書き込みまたは読み出しデータが 8 バイトのバンクアクセスデータ単位で行われる。

最初に、調停回路 1 0 1 が直前にメモリアクセスを許可したバンクと次のメモリアクセスリクエストのバンクが同一である場合について説明する。

- 25 以下、S D R A M 8 0 8 に備えられているモード設定を「C A S

レイテンシ」＝” 3 ”、「バースト長」＝” 2 ”と設定し、SDRAM 808に対する優先順位をブロック804, 805, 806の順に優先順位が高いとメモリアクセス優先順位指定手段1003に設定したとして、ブロック804がSDRAM 808からデータを
5 リード（読み出し）する場合のメモリ制御装置105の動作について説明する。

ブロック804がSDRAM 808にアクセスする場合には、メモリ制御装置105を介して、メモリアドレス、データ、制御信号の受け渡しを行う。ブロック804から調停回路101にメモリリ
10 クエスト（図2（B））が出力されると、SDRAM 808に対するメモリリクエストを出力しているブロックが他に存在しなければ調停回路101がブロック804に対しメモリアクセス許可信号（図2（C））を返信する。ブロック804の前記メモリリクエストと同時に他のブロック（ブロック805, 806）がメモリリ
15 クエスト（図2（D）,（F））を出力している場合には、SDRAM 808にアクセスする優先順位に従って優先順位の高いブロックに対しメモリアクセス許可信号を返信する。

メモリ制御装置105がSDRAM 808のバンク1に対しアクセス中（図2（H）201）で、ブロック804からSDRAM 8
20 08のバンク1へのメモリリードリクエスト（図2（B））が出力され、それと同時にブロック805からバンク2へのメモリリードリクエスト（図2（D））と、ブロック806からバンク0へのメモリリードリクエスト（図2（F））が出力されているとする。ブ
25 ロック804からのSDRAM 808のバンク1へのメモリリードリクエスト（図2（B））が出力されると、調停回路101はリク

エスト受信ブロック 1001 でメモリリクエストとメモリアドレスを受け取り、バンク判断手段 1002 でメモリ制御装置 105 がアクセス中のバンク 1 へのメモリリードアクセス (図 2 (H) 201) と同一のバンクへのメモリアクセス要求であると判断し、許可信号生成ブロック 1005 に、第 2 の優先順位のブロック 805 に対する許可信号を生成するよう指示する。リクエスト受信ブロック 1001 は、ブロック 804 から出力されているバンク 1 へのメモリリードリクエストの優先順位を下げて、次に優先順位の高いブロック 805 のメモリアクセス要求に対する制御信号を生成するよう制御信号生成ブロック 1006 に指示する。許可信号生成ブロック 1005 はブロック 805 にメモリアクセス許可信号 (図 2 (E)) を返信する (優先順位変更処理)。

制御信号生成ブロック 1006 は前記リクエスト受信ブロック 1001 からの制御信号の生成を指示され、コマンド生成制御信号及びアドレス生成制御信号及びデータラッチ制御信号を生成する。

アドレス生成ブロック 103 が調停回路 101 から出力されたアドレス生成制御信号に基づき、アクセスを許可されたブロック 805 からのメモリアドレスを受け取り、SDRAM 808 に出力する。

コマンド生成ブロック 102 が調停回路 101 から出力されたコマンド生成制御信号に基づき、RAS (Row Address Strobe), CAS (Column Address Strobe) などのメモリコマンドを生成し、前記メモリコマンドをSDRAM 808 に出力し、ブロック 805 のバンク 2 へのメモリリードアクセス 202 を実行する。SDRAM 808 から読み出されたデータはデータラッチブロック 104 が取り込み、ブロック 805

に出力する。

SDRAM 808は、コマンド生成ブロック102から出力されたメモリコマンドと、アドレス生成ブロック103から出力されたメモリアドレスに基づき、SDRAM 808からデータD20, D
5 21を読み出す。D21はD20に続くアドレスのデータであり、
一つのアドレス入力で2ワードのデータが出力できることを意味している（「バースト長」＝"2"）。各バンクのプリチャージは最終データ、即ち、この2ワード出力時ではデータD21などの出力
10 タイミングで自動的に実行される。バンク0, バンク1, バンク3
に対するプリチャージに関しても同様である。ブロック805のバンク2へのメモリリードアクセス202が終わると、メモリアクセスの優先順位に従って、ブロック804のバンク1へのメモリリードアクセス203を実行し、続いてブロック806のバンク0へのメモリリードアクセス204を実行する。

15 次に、調停回路101が直前にメモリアクセスを許可したバンク
と同一のバンクにアクセスするブロックに対するメモリアクセスの優先順位を下げる場合について説明する。

以下、SDRAM 808に備えられているモード設定を「CAS
レイテンシ」＝"3"、「バースト長」＝"2"と設定し、SDR
20 AM 808に対する優先順位をブロック804, 805, 806の
順に優先順位が高いとメモリアクセス優先順位指定手段1003に
設定し、ブロック804がバンク1に、ブロック805がバンク2
に、ブロック806がバンク0にメモリアクセス要求を出力すると
する。

25 調停回路101が直前に許可したアクセスがバンク1へのメモリ

リードアクセスで、メモリ制御装置 105 がバンク 1 にメモリリードアクセス中（図 2（H）201）であるとき、前記バンク判断手段 1002 は、直前のメモリアクセスを許可した時点でバンク 1 へアクセス要求を出力するブロック 804 のメモリアクセスの優先順位を下げる。

ブロック 804 から SDRAM 808 のバンク 1 へのメモリリードリクエスト（図 2（B））が出力され、それと同時にブロック 805 からバンク 2 へのメモリリードリクエスト（図 2（D））と、ブロック 806 からバンク 0 へのメモリリードリクエスト（図 2（F））が出力されると、リクエスト受信ブロック 1001 は許可信号生成ブロック 1005 に、ブロック 805 に対する許可信号を生成するよう指示するとともに、ブロック 805 のメモリアクセス要求に対する制御信号を生成するよう制御信号生成ブロック 1006 に指示する。許可信号生成ブロック 1005 はブロック 805 にメモリアクセス許可信号（図 2（E））を返信する（優先順位変更処理）。

制御信号生成ブロック 1006 は前記リクエスト受信ブロック 1001 からの制御信号の生成を指示され、コマンド生成制御信号及びアドレス生成制御信号及びデータラッチ制御信号を生成する。

コマンド生成ブロック 102 及びアドレス生成ブロック 103 及びデータラッチブロック 104 の動作と、ブロック 805 のバンク 2 へのメモリリードアクセス 202 以降の動作については、調停回路 101 が直前にメモリアクセスを許可したバンクと次のメモリアクセス要求のバンクが同一である場合と同様なので省略する。

次に、調停回路 101 が直前にメモリアクセスを許可したバンク

と異なるバンクにアクセスするブロックに対するメモリアクセスの優先順位を上げる場合について説明する。

以下、SDRAM 808に備えられているモード設定を「CAS
レイテンシ」＝”3”、「バースト長」＝”2”と設定し、SDR
5 AM 808に対する優先順位をブロック804, 805, 806の
順に優先順位が高いとメモリアクセス優先順位指定手段1003に
設定し、ブロック804がバンク1に、ブロック805がバンク2
に、ブロック806がバンク0にメモリアクセス要求を出力すると
する。

10 調停回路101が直前に許可したアクセスがバンク1へのメモリ
リードアクセスで、メモリ制御装置105がバンク1にメモリリー
ドアクセス中（図2（H）201）であるとき、バンク判断手段1
002は直前のメモリアクセスを許可した時点で異なるバンクにア
クセスするように、次に優先順位の高いブロック805へのメモリ
15 アクセスの優先順位を上げる。

ブロック804からSDRAM 808のバンク1へのメモリリー
ドリクエスト（図2（B））が出力され、それと同時にブロック8
05からバンク2へのメモリリードリクエスト（図2（D））と、
ブロック806からバンク0へのメモリリードリクエスト（図2
20 （F））が出力されると、リクエスト受信ブロック1001は許可
信号生成ブロック1005に、ブロック805に対する許可信号を
生成するよう指示する。それとともに、ブロック805のメモリア
クセス要求に対する制御信号を生成するよう制御信号生成ブロック
1006に指示する。許可信号生成ブロック1005はブロック8
25 05にメモリアクセス許可信号（図2（E））を返信する（優先順

位変更処理)。

制御信号生成ブロック 1 0 0 6 は前記リクエスト受信ブロック 1 0 0 1 からの制御信号の生成を指示され、コマンド生成制御信号及びアドレス生成制御信号及びデータラッチ制御信号を生成する。

5 コマンド生成ブロック 1 0 2 及びアドレス生成ブロック 1 0 3 及びデータラッチブロック 1 0 4 の動作と、ブロック 8 0 5 のバンク 2 へのメモリリードアクセス 2 0 2 以降の動作については、直前にメモリアクセスを許可したバンクと次のメモリアクセス要求のバンクが同一である場合と同様なので省略する。

10 次に、調停回路 1 0 1 が直前にメモリアクセスを許可したバンクと同一バンクに対するブロックからのアクセス要求の場合に、次にアクセスを許可するブロックを選択する場合について図 9 を用いて説明する。図 9 は、実施の形態 1 において、同一バンクが連続した場合に次にアクセスを許可するブロックを選択する場合のタイミングチャートである。

図 9 において、

(A) は S D R A M 8 0 8 が動作するクロック、

(B) はブロック 8 0 4 から出力される調停回路 1 0 1 へのメモリリクエスト、

20 (C) は調停回路 1 0 1 から返信されるブロック 8 0 4 へのメモリアクセス許可信号、

(D) はブロック 8 0 5 から出力される調停回路 1 0 1 へのメモリリクエスト、

25 (E) は調停回路 1 0 1 から返信されるブロック 8 0 5 へのメモリ

アクセス許可

信号、

(F) はブロック 8 0 6 から出力される調停回路 1 0 1 へのメモリリクエスト、

5 (G) は調停回路 1 0 1 から返信されるブロック 8 0 6 へのメモリアクセス許可

信号、

(H) はメモリ制御装置 1 0 5 が S D R A M 8 0 8 に対し実行しているメモリア

10 クセス、

(I) は S D R A M 8 0 8 から読み出したリードデータを示す。

1 1 0 1 はメモリ制御装置 1 0 5 がアクセス中のバンク 1 へのメモリリードアクセス、

1 1 0 2 はブロック 8 0 6 のバンク 0 へのメモリリードアクセス、

15 1 1 0 3 はブロック 8 0 4 のバンク 1 へのメモリリードアクセス、

1 1 0 4 はブロック 8 0 5 のバンク 2 へのメモリリードアクセスである。

以下、S D R A M 8 0 8 に備えられているモード設定を「C A S レイテンシ」= " 3 " 、 「バースト長」= " 2 " と設定し、S D R

20 A M 8 0 8 に対する優先順位をブロック 8 0 4 , 8 0 5 , 8 0 6 の順に優先順位が高いとメモリアクセス優先順位指定手段 1 0 0 3 に設定したとして、同一バンクに対するメモリアクセスが生じた場合の優先順位をブロック 8 0 6 , 8 0 5 , 8 0 4 の順に優先順位が高いと、同一バンク時優先順位指定手段 1 0 0 4 にこの優先順位を設定する。そして、ブロック 8 0 4 がバンク 1 に、ブロック 8 0 5 が

25

バンク 2 に、ブロック 8 0 6 がバンク 0 にメモリアクセス要求を出力するとする。

調停回路 1 0 1 が直前に許可したアクセスがバンク 1 へのメモリリードアクセスで、メモリ制御装置 1 0 5 がバンク 1 にメモリリードアクセス中（図 9（H） 1 1 0 1）であるとき、ブロック 8 0 4
5 からの S D R A M 8 0 8 のバンク 1 へのメモリリードリクエスト（図 9（B））が出力されると、調停回路 1 0 1 はリクエスト受信ブロック 1 0 0 1 でメモリリクエストとメモリアドレスを受け取り、バンク判断手段 1 0 0 2 でメモリ制御装置 1 0 5 がアクセス中の
10 バンク 1 へのメモリリードアクセス（図 9（H） 1 1 0 1）と同一のバンクへのメモリアクセス要求であると判断し、同一バンク時優先順位指定手段 1 0 0 4 の設定に従って、許可信号生成ブロック 1 0 0 5 に、優先順位が最も高いブロック 8 0 6 に対する許可信号を生成するよう指示するとともに、ブロック 8 0 6 のメモリアクセス要
15 求に対する制御信号を生成するよう制御信号生成ブロック 1 0 0 6 に指示する。許可信号生成ブロック 1 0 0 5 はブロック 8 0 6 にメモリアクセス許可信号（図 9（G））を返信する（同一バンク時優先順位変更処理）。

制御信号生成ブロック 1 0 0 6 は前記リクエスト受信ブロック 1
20 0 0 1 からの制御信号の生成を指示され、コマンド生成制御信号及びアドレス生成制御信号及びデータラッチ制御信号を生成する。

アドレス生成ブロック 1 0 3 が調停回路 1 0 1 から出力されたアドレス生成制御信号に基づき、アクセスを許可されたブロック 8 0 6 からのメモリアドレスを受け取り、S D R A M 8 0 8 に出力する。
25 コマンド生成ブロック 1 0 2 が調停回路 1 0 1 から出力されたコマ

ンド生成制御信号に基づき、RAS, CASなどのメモリコマンドを生成し、前記メモリコマンドをSDRAM 808に出力し、ブロック 806のバンク0へのメモリリードアクセス1102を実行する。

5 ブロック 806のバンク0へのメモリリードアクセス1102が終わると、メモリアクセスを許可する優先順位に従って、ブロック 804のバンク1へのメモリリードアクセス1103を実行し、続いてブロック 805のバンク2へのメモリリードアクセス1104を実行する。

10 以上のような構成にしたため、SDRAM 808に対してメモリ制御装置 105がアクセス中のバンクと次にアクセスするブロックからのメモリアクセス要求の対象となるバンクが同一である場合は、調停回路 101が同一のバンクに対するメモリアクセスを出力する
15 ブロックの優先順位を下げて、あるいは、異なるバンクに対するメモリアクセス要求を出力しているブロックの優先順位を上げて、異なるバンクに連続してアクセスできるようにすることにより、SDRAM 808にアクセスできない待ちサイクルを解消して、処理時間を向上させることができる。

また、メモリアドレスを生成する複数のブロックは、前記メモリ
20 制御装置がアクセス中のバンクを意識することなくメモリアドレスを生成することができる。

この実施の形態1では、SDRAM 808が「バースト長」＝”2”に設定されている場合を一例として説明したが、例えば、「バースト長」＝”4”，”8”，その他の値に設定されている場合にも、同様の効果が得られる。
25

また、この実施の形態 1 では、SDRAM 808 が「CAS レイテンシ」＝” 3 ” に設定されている場合を一例として説明したが、例えば、「CAS レイテンシ」＝” 2 ”，その他の値に設定されている場合にも、同様の効果が得られる。

5 なお、この実施の形態 1 では、SDRAM 808 に対する優先順位がブロック 804，805，806 の順に高いという例で説明したが、メモリアクセス優先順位指定手段 1003 を外部から設定可能な構成にして、ブロック 804，805，806 の優先順位を変更しても良く、その場合でも本実施の形態 1 と同様の効果が得られる。
10 る。

 なお、この実施の形態 1 では、同一バンクに対するメモリアクセスが生じた場合の優先順位をブロック 806，805，804 の順に優先順位が高いという例で説明したが、同一バンク時優先順位指定手段 1004 を外部から設定可能な構成にして、ブロック 804，
15 805，806 の優先順位を変更しても良く、その場合でも同様の効果が得られる。

 なお、この実施の形態 1 では、メモリを SDRAM 808 という例で説明したが、SDRAM に限らず他の同期式メモリについても同様の効果が得られる。

20

(実施の形態 2)

 以下に、第 9 ないし第 14 の本発明の実施の形態について、図 1 及び図 3 及び図 10 及び図 11 を用いて説明する。図 3 は実施の形態 2 の主要な信号のタイミングチャート、図 10 は実施の形態 2 の
25 調停回路 101 を示すブロック図、図 11 は実施の形態 2 のデータ

ラッチブロック 104 を示すブロック図である。

メモリ制御装置 105 の構成に関しては、実施の形態 1 の構成(図 1)と同様なので図番を同じくして説明は省略する。

前記調停回路 101 は、図 1、図 10 に示すように複数ブロック
5 804, 805, 806 からのメモリリクエストとメモリアドレス
を受け取り、受け取ったメモリアドレスから直前にメモリアクセス
を許可した後半のバンクと次のメモリアクセス要求の前半のバンク
が同一のバンクに対するアクセスか判断するバンク判断手段 120
2 を含み、許可信号の生成を指示するリクエスト受信ブロック 12
10 01 と、前記複数ブロック 804, 805, 806 からのメモリア
クセスの優先順位を指定するメモリアクセス優先順位指定手段 10
03 と、前記リクエスト受信ブロック 1001 からの許可信号の生
成を指示され、前記 SDRAM 808 へのアクセスを許可したプロ
ックに許可信号を出力する許可信号生成ブロック 1005 と、前記
15 リクエスト受信ブロック 1001 からの制御信号の生成を指示され、
コマンド生成制御信号及びアドレス生成制御信号及びデータラッチ
制御信号を生成する制御信号生成ブロック 1006 とで構成される。

前記データラッチブロック 104 は、図 1、図 11 に示すように
前記複数ブロック 804, 805, 806 からのライトデータを受
20 け取り、ラッチするライトデータラッチブロック 1301 と、前記
調停回路 101 からのデータラッチ制御信号に基づき、前記ライト
データラッチブロック 1301 が出力するバンクアクセスデータの
順序を入れ替え、ライトデータとして前記メモリへ出力したり、後
述するリードデータラッチブロック 1303 が出力するバンクアク
25 セスデータの順序を入れ替えリードデータとして前記メモリへのリ

ードアクセスを許可されたブロックへ出力するデータ入れ替えブロック 1302 と、前記 SDRAM 808 から読み出されたリードデータを受け取り、ラッチするリードデータラッチブロック 1303 とで構成される。

5 図 3 において、

(A) は SDRAM 808 が動作するクロック、

(B) はブロック 804 から出力される調停回路 101 へのメモリリクエスト、

10 (C) は調停回路 101 から返信されるブロック 804 へのメモリアクセス許可信号、

(D) はメモリ制御装置 105 が SDRAM 808 に対し実行しているメモリアクセス、

(E) は SDRAM 808 から読み出したリードデータ、

(F) は各ブロックに転送するデータを示す。

15 301 はメモリ制御装置 105 がアクセス中のバンク 1 へのメモリリードアクセス、

302 はブロック 804 のバンク 1 へのメモリリードリクエスト、

303 はブロック 804 のバンク 2 へのメモリリードリクエスト、

304 はブロック 804 のバンク 2 へのメモリリードアクセス、

20 305 はブロック 804 のバンク 1 へのメモリリードアクセス、

306 は SDRAM 808 のバンク 2 から読み出した 8 バイトのバンクリードデータ、

307 は SDRAM 808 のバンク 1 から読み出した 8 バイトのバンクリードデータである。

25 本発明の実施の形態 2 のメモリ制御装置は、前述の実施の形態 1

の複数のブロック 804, 805, 806 からのメモリアクセス要求が 8 バイトのバンクアクセスデータ単位で行われていたのに対し、異なるバンクに属する 2 組の 8 バイトのバンクアクセスデータによって構成される 16 バイトのブロックアクセスデータ単位でメモリアクセス要求が行われる点が前述の実施の形態 1 とは異なっている。そのため、調停回路 101 が直前にメモリアクセスを許可した後半のバンクと次のメモリアクセス要求の前半のバンクが同一である場合、ブロックアクセスデータ内のバンクアクセスデータの順序を入れ替えて、SDRAM 808 の異なるバンクに連続してアクセスするよう前記 SDRAM 808 へのアクセスを制御する機能が前述の実施の形態 1 とは異なっている。

以下、SDRAM 808 に備えられているモード設定を「CAS レイテンシ」= "3"、"バースト長" = "2" と設定し、SDRAM 808 に対する優先順位をブロック 804, 805, 806 の順に優先順位が高いとメモリアクセス優先順位指定手段 1003 に設定したとして、ブロック 804 が SDRAM 808 からデータをリード（読み出し）する場合のメモリ制御装置 105 の動作について説明する。

ブロック 804 が SDRAM 808 にアクセスする場合には、メモリ制御装置 105 を介して、メモリアドレス、データ、制御信号の受け渡しを行う。ブロック 804 から調停回路 101 にメモリリクエスト（図 3（B））が出力されると、SDRAM 808 に対するメモリリクエストを出力しているブロックが他に存在しなければ調停回路 101 がブロック 804 に対しメモリアクセス許可信号（図 3（C））を返信する。ブロック 804 の前記メモリリクエス

トと同時に他のブロック（ブロック 805, 806）がメモリリクエストを出力している場合には、SDRAM 808にアクセスする優先順位に従って優先順位の高いブロックに対しメモリアクセス許可信号を返信する。

- 5 メモリ制御装置 105がSDRAM 808のバンク1に対しアクセス中（図3（D）301）で、ブロック804からSDRAM 808のバンク1、バンク2の順にメモリリードリクエスト（図3（B）302, 303）が出力されているとする。ブロック804からメモリリードリクエスト302, 303が出力されると、調停回路1
- 10 01はリクエスト受信ブロック1201でメモリリクエストとメモリアドレスを受け取る。バンク判断手段1202で、メモリ制御装置105がアクセス中の後半の8バイトのバンクアクセスデータを読み出すバンク1へのメモリアクセス301とブロック804から出力された前半の8バイトのバンクアクセスデータを読み出すメモリ
- 15 リリードリクエスト302が同一のバンクへのメモリアクセス要求であると判断し、リクエスト受信ブロック1201が許可信号生成ブロック1005に、ブロック804に対する許可信号を生成するよう指示する。さらに、リクエスト受信ブロック1201は、前半の8バイトのバンクアクセスデータを読み出すメモリリリードクエ
- 20 スト302と後半の8バイトのバンクアクセスデータを読み出すメモリリードリクエスト303のメモリアクセスの順序を入れ替えて、後半の8バイトのバンクアクセスデータを読み出すメモリリードリクエスト303に対する制御信号を生成するよう制御信号生成ブロック1006に指示する。許可信号生成ブロック1005はブロッ
- 25 ク804にメモリアクセス許可信号（図3（B））を返信する（ア

クセス順序変換処理)。

制御信号生成ブロック1006は前記リクエスト受信ブロック1001からの制御信号の生成を指示され、コマンド生成制御信号及びアドレス生成制御信号及びデータラッチ制御信号を生成する。

- 5 アドレス生成ブロック103が調停回路101から出力されたアドレス生成制御信号に基づき、アクセスを許可されたブロック804からのメモリアドレスを受け取り、メモリアクセスの順序を入れ替えてSDRAM808に出力する。コマンド生成ブロック102が調停回路101から出力されたコマンド生成制御信号に基づき、
- 10 バンク2へのメモリリードアクセス304を実行後、バンク1へのメモリリードアクセス305を実行する。

- SDRAM808は、コマンド生成ブロック102から出力されたメモリコマンドと、アドレス生成ブロック103から出力されたメモリアドレスに基づき、SDRAM808からD20, D21の
- 15 8バイトのバンクアクセスデータ306と、D10, D11の8バイトのバンクアクセスデータ307を読み出す。

- データラッチブロック104は、調停回路101で入れ替えたアクセス順(バンク2へのアクセス後、バンク1へのアクセス)にSDRAM808から読み出したバンクアクセスデータ306, 30
- 20 7をリードデータラッチブロック1303でラッチし、データ入れ替えブロック1302で調停回路101から出力されたデータラッチ制御信号に基づいて、ブロック804からメモリリクエスト302, 303が出力された元のアクセス順(バンク1へのアクセス後、バンク2へのアクセス)にSDRAM808から読み出したバンク
- 25 アクセスデータ306, 307を入れ替えてブロック804に出力

する（読み出しデータ順序変換処理）。

以上のような構成にしたため、SDRAM 808に対してメモリ
制御装置 105がアクセス中の後半のバンクと次にアクセスするブ
ロックからのメモリアクセス要求の前半のアクセスの対象となるバ
5 ンクが同一である場合は、調停回路 101が前半のアクセスと後半
のアクセスの順序を入れ替えて、異なるバンクに連続してアクセス
できるようにすることにより、SDRAM 808にアクセスできな
い待ちサイクルを解消して、処理時間を向上させることができる。

また、メモリアドレスを生成する複数のブロックは、前記メモリ
10 制御装置がアクセス中のバンクを意識することなくメモリアドレス
を生成することができる。

また、SDRAM 808に対するバンクアクセスデータのアクセ
ス順序を変更した場合でも、SDRAM 808から16バイトのブ
ロックアクセスデータを読み出してデータラッチブロック 104に
15 格納するとともに格納したバンクアクセスデータをSDRAM 80
8から読み出した順序と逆の順序で、メモリアクセスを行ったブ
ロックに対してデータラッチブロック 104が転送することにより、
メモリアクセス要求を行ったブロックはバンクを意識することなく
SDRAM 808から読み出したブロックアクセスデータを受け取
20 ることができる。

この実施の形態2では、SDRAM 808が「バースト長」＝”
2”に設定されている場合を一例として説明したが、例えば、「バ
ースト長」＝”4”，”8”，その他の値に設定されている場合
にも、同様の効果が得られる。

25 また、この実施の形態2では、SDRAM 808が「CASレイ

テンシ」＝” 3” に設定されている場合を一例として説明したが、例えば、「CASレイテンシ」＝” 2” , その他の値に設定されている場合にも、同様の効果が得られる。

また、この実施の形態 2 では、実施の形態 1 と同様にメモリアク
5 セス優先順位指定手段 1 0 0 3 を外部から設定可能な構成にして、
ブロック 8 0 4 , 8 0 5 , 8 0 6 の優先順位を変更しても良く、そ
の場合でも同様の効果が得られる。

なお、この実施の形態 2 では、メモリを S D R A M 8 0 8 という
例で説明したが、S D R A M に限らず他の同期式メモリについても
10 同様の効果が得られる。

(実施の形態 3)

以下に、第 1 5 ないし第 1 9 の本発明の実施の形態について、図
1 及び図 4 及び図 1 2 を用いて説明する。図 4 は実施の形態 3 の主
15 要な信号のタイミングチャート、図 1 2 は実施の形態 3 の調停回路
を示すブロック図である。

メモリ制御装置 1 0 5 の構成に関しては、実施の形態 1 の構成(図
1)と同様なので図番を同じくして説明は省略する。

前記調停回路 1 0 1 は、図 1、図 1 2 に示すように前記複数プロ
20 ック 8 0 4 , 8 0 5 , 8 0 6 からのメモリリクエストを受け取り、
受け取ったメモリリクエストから要求されたメモリアクセスのデー
タ単位を判断するデータ単位判断手段 1 4 0 2 を含み、許可信号の
生成を指示するリクエスト受信ブロック 1 4 0 1 と、前記複数プロ
25 ック 8 0 4 , 8 0 5 , 8 0 6 からのメモリアクセスの優先順位を指
定するメモリアクセス優先順位指定手段 1 0 0 3 と、前記複数プロ

ックからのメモリアクセス要求がバンクアクセスデータ単位の場合に設ける待ちサイクル数を指定するウェイトサイクル指定手段 1 4 0 3 と、前記リクエスト受信ブロック 1 4 0 1 からの許可信号の生成を指示され、前記メモリへのアクセスを許可したブロックに許可
5 信号を出力する許可信号生成ブロック 1 0 0 5 と、前記リクエスト受信ブロックからの制御信号の生成を指示され、各制御信号を生成する制御信号生成ブロック 1 0 0 6 とで構成される。

図 4 において、

(A) は S D R A M 8 0 8 が動作するクロック、

10 (B) はブロック 8 0 5 から出力される調停回路 1 0 1 へのメモリリクエスト、

(C) は調停回路 1 0 1 から返信されるブロック 8 0 5 へのメモリアクセス許可信号、

15 (D) はブロック 8 0 6 から出力される調停回路 1 0 1 へのメモリリクエスト、

(E) は調停回路 1 0 1 から返信されるブロック 8 0 6 へのメモリアクセス許可信号、

(F) はメモリ制御装置 1 0 5 が S D R A M 8 0 8 に対し実行しているメモリアクセスを示す。

20 4 0 1 はメモリ制御装置 1 0 5 がアクセス中のバンク 1 へのメモリアクセス、

4 0 2 はブロック 8 0 5 のバンク 1 へのメモリリクエスト、

4 0 3 はブロック 8 0 5 のバンク 1 へのメモリアクセス、

25 4 0 4 はメモリ制御装置 1 0 5 がアクセス中のバンク 1 へのメモリアクセス、

405はブロック806のバンク2へのメモリリクエスト、
406はブロック806のバンク2へのメモリアクセスである。

本発明の実施の形態3のメモリ制御装置は、前述の実施の形態2
の複数のブロック804、805、806からのメモリアクセス要
5 求が異なるバンクに属する2組の8バイトのバンクアクセスデータ
によって構成される16バイトのブロックアクセスデータ単位で行
われていたのに対し、前記16バイトのブロックアクセスデータ単
位でメモリアクセス要求を行うブロックと8バイトのバンクアクセ
スデータ単体でメモリアクセス要求を行うブロックが存在する点が
10 前述の実施の形態2とは異なっている。そのため、複数のブロック
804、805、806のうち、前記バンクアクセスデータ単体で
メモリアクセス要求が行われるブロック805、806からのメモ
リアクセス要求を調停回路101が許可した場合、前記リクエスト
受信ブロック1401でウェイトサイクル指定手段1403に設定
15 されたサイクル数だけ待ちサイクルを設け、前記バンクアクセスデ
ータ単位のメモリアクセスのサイクル数が前記ブロックアクセスデ
ータ単位のメモリアクセスのサイクル数と同じになるように制御す
る機能が実施の形態2とは異なっている。

以下、SDRAM808に備えられているモード設定を「CAS
20 レイテンシ」＝”3”、「バースト長」＝”2”と設定し、SDR
AM808に対する優先順位をブロック804、805、806の
順に優先順位が高いとメモリアクセス優先順位指定手段1003に
設定し、ウェイトサイクル指定手段1403にバイトアクセスデー
タ1つ分の待ちサイクル数を設定したとして、バイトアクセスデー
25 タ単体でメモリアクセスの要求を行うブロック805が調停回路1

01が直前にメモリアクセスを許可したバンクと同一のバンクからデータをリード（読み出し）する場合のメモリ制御装置105の動作について説明する。ブロック805がSDRAM808にアクセスする場合には、メモリ制御装置105を介して、メモリアドレス、データ、制御信号の受け渡しを行う。ブロック805から調停回路101にメモリリクエスト（図4（B））が出力されると、SDRAM808に対するメモリリクエストを出力しているブロックが他に存在しなければ調停回路101がブロック805に対しメモリアクセス許可信号（図4（C））を返信する。ブロック805の前記メモリリクエストと同時に他のブロック（例えば、ブロック806）がメモリリクエスト（図4（D））を出力している場合には、SDRAM808にアクセスする優先順位に従って優先順位の高いブロックに対しメモリアクセス許可信号を返信する。

メモリ制御装置105がSDRAM808のバンク1に対しアクセス中（図4（F）401）でブロック805からSDRAM808のバンク1に対しメモリリードリクエスト（図4（B）402）が出力されているとする。ブロック805からメモリリードリクエスト（図4（B）402）が出力されると、調停回路101はリクエスト受信ブロック1401でメモリリクエストを受け取り、データ単位判断手段1402でブロック805からのメモリアクセス要求のデータ単位を判断し、許可信号生成ブロック1005に、ブロック805に対する許可信号を生成するよう指示するとともに、ウェイトサイクル指定手段1403に設定したバイトアクセスデータ1つ分の待ちサイクル数を設けて、ブロック805のメモリアクセス要求に対する制御信号を生成するよう制御信号生成ブロック10

06に指示する。許可信号生成ブロック1005はブロック805にメモリアクセス許可信号（図4（C））を返信する（アクセスウェイト処理）。

5 制御信号生成ブロック1006は前記リクエスト受信ブロック1401からの制御信号の生成を指示され、コマンド生成制御信号及びアドレス生成制御信号及びデータラッチ制御信号を生成する。生成された制御信号に従ってSDRAM808に対しメモリアクセス403を実行する。

すなわち、アドレス生成ブロック103が調停回路101から出力されたアドレス生成制御信号に基づき、アクセスを許可されたブロック805からのメモリアドレスを受け取り、バンクアクセスデータ1つ分の待ちサイクルを設けてSDRAM808に出力する。コマンド生成ブロック102が調停回路101から出力されたコマンド生成制御信号に基づき、バンクアクセスデータ1つ分の待ちサイ
10 15 クルを設けてメモリアクセス403を実行する。

次に、バイトアクセスデータ単体でメモリアクセスの要求を行うブロック806が、調停回路101が直前にメモリアクセスを許可したバンクと異なるバンクからデータをリード（読み出し）する場合のメモリ制御装置105の動作について説明する。

20 ブロック806がSDRAM808にアクセスする場合も、ブロック805がSDRAM808にアクセスする場合と同様にメモリ制御装置105を介して、メモリアドレス、データ、制御信号の受け渡しを行う。ブロック806から調停回路101にメモリリクエスト（図4（D））が出力されると、SDRAM808に対するメ
25 モリリクエストを出力しているブロックが他に存在しなければ調停

回路 1 0 1 がブロック 8 0 6 に対しメモリアクセス許可信号（図 4（E））を返信する。ブロック 8 0 6 の前記メモリリクエストと同時に他のブロック（例えばブロック 8 0 5）がメモリリクエスト（図 4（B））を出力している場合には、S D R A M 8 0 8 にアクセスする優先順位に従って優先順位の高いブロックに対しメモリアクセス許可信号を返信する。

メモリ制御装置 1 0 5 が S D R A M 8 0 8 のバンク 1 に対しアクセス中（図 4（F） 4 0 4）でブロック 8 0 6 から S D R A M 8 0 8 のバンク 2 に対しメモリリードリクエスト（図 4（D）） 4 0 5）が出力されているとする。ブロック 8 0 6 からメモリリードリクエスト（図 4（D） 4 0 5）が出力されると、調停回路 1 0 1 はリクエスト受信ブロック 1 4 0 1 でメモリリクエストを受け取り、データ単位判断手段 1 4 0 2 でブロック 8 0 6 からのメモリアクセス要求のデータ単位を判断し、許可信号生成ブロック 1 0 0 5 に、ブロック 8 0 6 に対する許可信号を生成するよう指示するとともに、ウェイトサイクル指定手段 1 4 0 3 に設定したバイトアクセスデータ 1 つ分の待ちサイクル数を設けて、ブロック 8 0 6 のメモリアクセス要求に対する制御信号を生成するよう制御信号生成ブロック 1 0 0 6 に指示する。許可信号生成ブロック 1 0 0 5 はブロック 8 0 6 にメモリアクセス許可信号（図 4（E））を返信する（アクセスウェイト処理）。

制御信号生成ブロック 1 0 0 6 は前記リクエスト受信ブロック 1 4 0 1 からの制御信号の生成を指示され、コマンド生成制御信号及びアドレス生成制御信号及びデータラッチ制御信号を生成する。生成された制御信号に従って S D R A M 8 0 8 に対しメモリリードア

クセス 4 0 6 を実行する。

アドレス生成ブロック 1 0 3 が調停回路 1 0 1 から出力されたアドレス生成制御信号に基づき、アクセスを許可されたブロック 8 0 6 からのメモリアドレスを受け取り、バンクアクセスデータ 1 つ分の待ちサイクルを設けて S D R A M 8 0 8 に出力する。コマンド生成ブロック 1 0 2 が調停回路 1 0 1 から出力されたコマンド生成制御信号に基づき、バンクアクセスデータ 1 つ分の待ちサイクルを設けてメモリアクセス 4 0 6 を実行する。

以上のような構成にしたため、8 バイトのバンクアクセスデータ単体のメモリアクセス要求を調停回路 1 0 1 が許可した場合は、ウェイトサイクル指定手段 1 4 0 3 に設定したバイトアクセスデータ 1 つ分の待ちサイクル数を設けて、ブロック 8 0 6 のメモリアクセス要求に対する制御信号を生成するよう制御信号生成ブロック 1 0 0 6 に指示することにより、直前のメモリアクセスのバンクの影響を受けずメモリアクセスを実現することができ、かつ、バンクアクセスデータ単体でメモリアクセスを行うために必要な回路を削減することができる。

この実施の形態 3 では、S D R A M 8 0 8 が「バースト長」＝” 2 ” に設定されている場合を一例として説明したが、例えば、「バースト長」＝” 4 ”，” 8 ”，その他の値に設定されている場合にも、同様の効果が得られる。

また、この実施の形態 3 では、S D R A M 8 0 8 が「C A S レイテンシ」＝” 3 ” に設定されている場合を一例として説明したが、例えば、「C A S レイテンシ」＝” 2 ”，その他の値に設定されている場合にも、同様の効果が得られる。

また、この実施の形態 3 では、実施の形態 1 と同様にメモリアクセス優先順位指定手段 1 0 0 3 を外部から設定可能な構成にして、ブロック 8 0 4, 8 0 5, 8 0 6 の優先順位を変更しても良く、その場合でも同様の効果が得られる。

- 5 また、この実施の形態 3 では、バンクアクセスデータ 1 つ分の待ちサイクルを設けるという例で説明したが、ウェイトサイクル指定手段 1 4 0 3 を外部から設定可能な構成にして、待ちサイクル数を変更しても良く、その場合でも同様の効果が得られる。

- 10 なお、この実施の形態 3 では、メモリを S D R A M 8 0 8 という例で説明したが、S D R A M に限らず他の同期式メモリについても同様の効果が得られる。

(実施の形態 4)

- 15 以下に、第 2 0 ないし第 2 6 の本発明の実施の形態について、図 1 及び図 5 及び図 1 3 及び図 1 4 を用いて説明する。図 5 は実施の形態 4 の主要な信号のタイミングチャート、図 1 3 は実施の形態 4 の調停回路を示すブロック図である。

メモリ制御装置 1 0 5 の構成に関しては、実施の形態 1 の構成(図 1)と同様なので図番を同じくして説明は省略する。

- 20 前記調停回路 1 0 1 は、図 1、図 1 3 に示すように複数ブロック 8 0 4, 8 0 5, 8 0 6 からのメモリリクエストを受け取り、受け取ったメモリリクエストから要求されたメモリアクセスの種類を判断するアクセス要求判断手段 1 5 0 2 を含み、許可信号の生成を指示するリクエスト受信ブロック 1 5 0 1 と、前記複数ブロックから
25 のメモリアクセスの優先順位を指定するメモリアクセス優先順位指

定手段 1 0 0 3 と、直前に許可したメモリアクセスがリードアクセスの場合に、次にリードアクセスを許可するブロックを選択するリードアクセス時優先順位指定手段 1 5 0 3 と、前記リクエスト受信ブロックからの許可信号の生成を指示され、前記メモリへのアクセスを許可したブロックに許可信号を出力する許可信号生成ブロック 1 0 0 5 と、前記リクエスト受信ブロックからの制御信号の生成を指示され、各制御信号を生成する制御信号生成ブロック 1 0 0 6 とで構成される。

図 5 において、

- 10 (A) は S D R A M 8 0 8 が動作するクロック、
 - (B) はブロック 8 0 4 から出力される調停回路 1 0 1 へのメモリリクエスト、
 - (C) は調停回路 1 0 1 から返信されるブロック 8 0 4 へのメモリアクセス許可信号、
 - 15 (D) はブロック 8 0 5 から出力される調停回路 1 0 1 へのメモリリクエスト、
 - (E) は調停回路 1 0 1 から返信されるブロック 8 0 5 へのメモリアクセス許可信号、
 - (F) はメモリ制御装置 1 0 5 が S D R A M 8 0 8 に対し実行して
 - 20 いるメモリアクセスを示す。
- 5 0 1 はメモリ制御装置 1 0 5 がアクセス中のバンク 1 へのメモリリードアクセス、
- 5 0 2 はブロック 8 0 4 のバンク 2 へのメモリライトリクエスト、
- 5 0 3 はブロック 8 0 5 のバンク 0 へのメモリリードリクエスト、
- 25 5 0 4 はブロック 8 0 5 のバンク 0 へのメモリリードアクセス、

5 0 5 はブロック 8 0 4 のバンク 2 へのメモリライトアクセスである。

本発明の実施の形態 4 のメモリ制御装置は、前述の実施の形態 1 の調停回路 1 0 1 が直前にメモリアクセスを許可したバンクとは異なるバンクにアクセスするように複数のブロック 8 0 4, 8 0 5, 8 0 6 のメモリアクセスの優先順位を変更していたのに対し、調停回路 1 0 1 が直前に許可したメモリアクセスがリードアクセスの場合に前記複数のブロックのメモリアクセスの優先順位を変更する機能が前述の実施の形態 1 とは異なっている。

10 最初に、調停回路 1 0 1 が直前に許可したメモリアクセスがリードアクセスで、次のメモリアクセス要求にリードアクセスが存在する場合について説明する。

以下、SDRAM 8 0 8 に備えられているモード設定を「CAS レイテンシ」＝” 3 ”、「バースト長」＝” 2 ”と設定し、SDRAM 8 0 8 に対する優先順位をブロック 8 0 4, 8 0 5, 8 0 6 の順に優先順位が高いとメモリアクセス優先順位指定手段 1 0 0 3 に設定したとして、ブロック 8 0 4 が SDRAM 8 0 8 にデータをライト（書き込み）する場合のメモリ制御装置 1 0 5 の動作について説明する。

20 ブロック 8 0 4 が SDRAM 8 0 8 にアクセスする場合には、メモリ制御装置 1 0 5 を介して、メモリアドレス、データ、制御信号の受け渡しを行う。ブロック 8 0 4 から調停回路 1 0 1 にメモリリクエスト（図 5 （B））が出力されると、SDRAM 8 0 8 に対するメモリリクエストを出力しているブロックが他に存在しなければ
25 調停回路 1 0 1 がブロック 8 0 4 に対しメモリアクセス許可信号

(図 5 (C)) を返信する。ブロック 8 0 4 の前記メモリリクエストと同時に他のブロック (ブロック 8 0 5, 8 0 6) がメモリリクエスト (図 5 (D)) を出力している場合には、S D R A M 8 0 8 にアクセスする優先順位に従って優先順位の高いブロックに対しメモリアクセス許可信号を返信する。

メモリ制御装置 1 0 5 が S D R A M 8 0 8 のバンク 1 に対しリードアクセス中 (図 5 (F) 5 0 1) でブロック 8 0 4 から S D R A M 8 0 8 のバンク 2 に対しメモリライトリクエスト (図 5 (B) 5 0 2) が出力され、それと同時にブロック 8 0 5 から S D R A M 8 0 8 のバンク 0 に対しメモリリードリクエスト (図 5 (D) 5 0 3) が出力されているとする。調停回路 1 0 1 はリクエスト受信ブロック 1 5 0 1 でブロック 8 0 4, 8 0 5 から出力されているメモリリクエストを受け取り、アクセス要求判断手段 1 5 0 2 で、直前に許可したリードアクセス (図 5 (F) 5 0 1) と同じリードアクセス要求が、ブロック 8 0 5 から出力されている (図 5 (D) 5 0 3) と判断し、許可信号生成ブロック 1 0 0 5 に、ブロック 8 0 5 に対する許可信号を生成するよう指示するとともに、ブロック 8 0 5 から出力されている S D R A M 8 0 8 のバンク 0 に対するメモリリードリクエスト 5 0 3 の優先順位をブロック 8 0 4 から出力されているバンク 2 へのメモリライトリクエストより上げて、ブロック 8 0 5 のメモリアクセス要求に対する制御信号を生成するよう制御信号生成ブロック 1 0 0 6 に指示する。許可信号生成ブロック 1 0 0 5 はブロック 8 0 5 に対しメモリアクセス許可信号 (図 5 (E)) を返信する (リードアクセス優先処理)。

制御信号生成ブロック 1 0 0 6 は前記リクエスト受信ブロック 1

5 0 1 からの制御信号の生成を指示され、コマンド生成制御信号及びアドレス生成制御信号及びデータラッチ制御信号を生成する。生成された制御信号に従って S D R A M 8 0 8 に対しメモリリードアクセス 5 0 4 を実行する。

5 その後、S D R A M 8 0 8 からデータを読み出す間待ちサイクルを設け、ブロック 8 0 4 の S D R A M 8 0 8 のバンク 2 に対するメモリライトリクエスト 5 0 2 を受け付け、ブロック 8 0 4 にメモリアクセス許可信号（図 5（C））を返信し、ブロック 8 0 4 のバンク 2 へのメモリライトアクセス 5 0 5 を実行する。

10 コマンド生成ブロック 1 0 2 及びアドレス生成ブロック 1 0 3 及びデータラッチブロック 1 0 4 の動作については、実施の形態 1 と同様なので省略する。

15 次に、調停回路 1 0 1 が直前に許可したメモリアクセスがリードアクセスの場合に、リードアクセスの優先順位を上げる場合について説明する。

20 以下、S D R A M 8 0 8 に備えられているモード設定を「C A S レイテンシ」＝” 3 ”、「バースト長」＝” 2 ”と設定し、S D R A M 8 0 8 に対する優先順位をブロック 8 0 4, 8 0 5, 8 0 6 の順に優先順位が高いとメモリアクセス優先順位指定手段 1 0 0 3 に設定し、ブロック 8 0 4 がバンク 2 にメモリライトリクエストを、

25 ブロック 8 0 5 がバンク 0 にメモリリードリクエストを出力するとする。
調停回路 1 0 1 が直前に許可したアクセスがリードアクセスで、メモリ制御装置 1 0 5 がバンク 1 にメモリリードアクセス中（図 5（F）5 0 1）であるとき、アクセス要求判断手段 1 5 0 2 は、直

前のリードアクセスを許可した時点でライトアクセスの優先順位を下げる。ブロック 804 から SDRAM 808 のバンク 2 へのメモリライトリクエスト（図 5（B）502）が出力され、それと同時にブロック 805 からバンク 0 へのメモリリードリクエスト（図 5
5 （D）503）が出力されると、リクエスト受信ブロック 1501 は許可信号生成ブロック 1005 に、ブロック 805 に対する許可信号を生成するよう指示するとともに、ブロック 805 のメモリアクセス要求に対する制御信号を生成するよう制御信号生成ブロック 1006 に指示する。許可信号生成ブロック 1005 はブロック 8
10 05 にメモリアクセス許可信号（図 5（E））を返信する（リードアクセス優先処理）。

制御信号生成ブロック 1006 は前記リクエスト受信ブロック 1501 からの制御信号の生成を指示され、コマンド生成制御信号及びアドレス生成制御信号及びデータラッチ制御信号を生成する。生
15 成された制御信号に従って SDRAM 808 に対しメモリリードアクセス 504 を実行する。その後、SDRAM 808 からデータを読み出す間待ちサイクルを設け、ブロック 804 の SDRAM 808 のバンク 2 に対するメモリライトリクエスト 502 を受け付け、
ブロック 805 にメモリアクセス許可信号（図 5（C））を返信し、
20 ブロック 804 のバンク 2 へのメモリライトアクセス 505 を実行する。

コマンド生成ブロック 102 及びアドレス生成ブロック 103 及びデータラッチブロック 104 の動作については、実施の形態 1 と同様なので省略する。

25 次に、調停回路 101 が直前に許可したメモリアクセスがリード

アクセスの場合に、次にリードアクセスを許可するブロックを選択する場合について図 1 4 を用いて説明する。図 1 4 は、実施の形態 4 において、調停回路 1 0 1 が直前に許可したメモリアccessがリードアクセスの場合に次にリードアクセスを許可する場合のタイミングチャートである。

図 1 4 において、

(A) は S D R A M 8 0 8 が動作するクロック、

(B) はブロック 8 0 4 から出力される調停回路 1 0 1 へのメモリリクエスト、

10 (C) は調停回路 1 0 1 から返信されるブロック 8 0 4 へのメモリアccess許可信号、

(D) はブロック 8 0 5 から出力される調停回路 1 0 1 へのメモリリクエスト、

15 (E) は調停回路 1 0 1 から返信されるブロック 8 0 5 へのメモリアccess許可信号、

(F) はブロック 8 0 6 から出力される調停回路 1 0 1 へのメモリリクエスト、

20 (G) は調停回路 1 0 1 から返信されるブロック 8 0 6 へのメモリアccess許可信号、

(H) はメモリ制御装置 1 0 5 が S D R A M 8 0 8 に対し実行しているメモリア

25 クセスを示す。

1 6 0 1 はメモリ制御装置 1 0 5 がアクセス中のバンク 1 へのメモリリードアクセス、

1 6 0 2 はブロック 8 0 6 のバンク 0 へのメモリリードアクセス、

1 6 0 3 はブロック 8 0 4 のバンク 2 へのメモリライトアクセス、

5 1 6 0 4 はブロック 8 0 5 のバンク 1 へのメモリリードアクセスである。

以下、SDRAM 8 0 8 に備えられているモード設定を「CAS レイテンシ」= " 3 " 、 「バースト長」= " 2 " と設定し、SDRAM 8 0 8 に対する優先順位をブロック 8 0 4 , 8 0 5 , 8 0 6 の
10 順に優先順位が高いとメモリアクセス優先順位指定手段 1 0 0 3 に設定し、直前に許可したメモリアクセスがリードアクセスの場合に、次にリードアクセスを許可するブロックの優先順位をブロック 8 0 6 , 8 0 5 , 8 0 4 の順に優先順位が高いとリードアクセス時優先
15 順位指定手段 1 5 0 3 に設定し、ブロック 8 0 4 がバンク 2 にメモリライトリクエストを、ブロック 8 0 5 がバンク 1 にメモリリードリクエストを、ブロック 8 0 6 がバンク 0 にメモリリードリクエストを出力するとする。

調停回路 1 0 1 が直前に許可したアクセスがバンク 1 へのメモリリードアクセスで、メモリ制御装置 1 0 5 がバンク 1 にメモリリード
20 ドアクセス中（図 1 4 (H) 1 6 0 1）であるとき、ブロック 8 0 4 からの SDRAM 8 0 8 のバンク 2 へのメモリライトリクエスト（図 1 4 (B)）が出力されると、調停回路 1 0 1 はリクエスト受信ブロック 1 5 0 1 でブロック 8 0 4 , 8 0 5 , 8 0 6 から出力されているメモリリクエストを受け取り、アクセス要求判断手段 1 5
25 0 2 で、直前に許可したリードアクセス（図 1 4 (H) 1 6 0 1）

と同じリードアクセス要求が、ブロック 805, 806 から出力されている（図 14（D）,（F））と判断し、リードアクセス時優先順位指定手段 1503 の設定に従って、許可信号生成ブロック 1005 に、ブロック 806 に対する許可信号を生成するよう指示する。それとともに、ブロック 806 のメモリアクセス要求に対する制御信号を生成するよう制御信号生成ブロック 1006 に指示する。許可信号生成ブロック 1005 はブロック 806 にメモリアクセス許可信号（図 14（G））を返信する（リードアクセス時優先順位変更処理）。

- 10 アドレス生成ブロック 103 が調停回路 101 から出力されたアドレス生成制御信号に基づき、アクセスを許可されたブロック 806 からのメモリアドレスを受け取り、SDRAM 808 に出力する。コマンド生成ブロック 102 が調停回路 101 から出力されたコマンド生成制御信号に基づき、RAS, CAS などのメモリコマンド
- 15 を生成し、前記メモリコマンドを SDRAM 808 に出力し、ブロック 806 のバンク 0 へのメモリリードアクセス 1602 を実行する。

ブロック 806 のバンク 0 へのメモリリードアクセス 1602 が終わると、メモリアクセスを許可する優先順位に従って、ブロック

20 804 のバンク 2 へのメモリライトアクセス 1603 を実行し、続いてブロック 805 のバンク 1 へのメモリリードアクセス 1604 を実行する。

以上のような構成にしたため、SDRAM 808 に対してメモリ制御装置 105 がメモリリードアクセス中の場合は、調停回路 10

25 1 がリードアクセスの優先順位を上げて、連続してリードアクセス

が行われるようにメモリアクセス要求の優先順位を変更することにより、SDRAM 808にアクセスできない待ちサイクルを解消して、処理時間を向上させることができる。

この実施の形態4では、SDRAM 808が「バースト長」＝”2”に設定されている場合を一例として説明したが、例えば、「バースト長」＝”4”，”8”，その他の値に設定されている場合にも、同様の効果が得られる。

また、この実施の形態4では、SDRAM 808が「CASレイテンシ」＝”3”に設定されている場合を一例として説明したが、例えば、「CASレイテンシ」＝”2”，その他の値に設定されている場合にも、同様の効果が得られる。

また、この実施の形態4では、実施の形態1と同様にメモリアクセス優先順位指定手段1003を外部から設定可能な構成にして、ブロック804，805，806の優先順位を変更しても良く、その場合でも同様の効果が得られる。

なお、この実施の形態4では、直前にアクセスを許可したメモリアクセスがリードアクセスの場合に、次にリードアクセスを許可するブロックの優先順位をブロック806，805，804の順に優先順位が高いという例で説明したが、リードアクセス時優先順位指定手段1503を外部から設定可能な構成にして、ブロック804，805，806の優先順位を変更しても良く、その場合でも同様の効果が得られる。

なお、この実施の形態4では、メモリをSDRAM 808という例で説明したが、SDRAMに限らず他の同期式メモリについても同様の効果が得られる。

(実施の形態 5)

以下に、第 27 ないし第 33 の本発明の実施の形態について、図 6 及び図 7 及び図 15 及び図 16 を用いて説明する。図 6 は、本発明におけるメモリ制御装置を示すブロック図、図 7 は、実施の形態 5 の主要な信号のタイミングチャート、図 15 は実施の形態 5 の調停回路を示すブロック図である。

図 6 において、このメモリ制御装置 105 は調停回路 101、コマンド生成ブロック 102、アドレス生成ブロック 103、データラッチブロック 104 については実施の形態 1 の構成と同じであり、説明を省略する。この実施の形態 5 は、SDRAM 808 の内部データを保持するために一定時間毎に調停回路 101 に対し、リフレッシュ要求信号を出力するリフレッシュ要求ブロック 601 を有する。

前記調停回路 101 は、図 15 に示すように前記リフレッシュ要求ブロック 601 からのリフレッシュ要求と前記複数ブロック 804, 805, 806 からのメモリリクエストを受け取り、受け取ったリフレッシュ要求とメモリリクエストから要求されたメモリアクセスの種類を判断するアクセス要求判断手段 1502 を含み、許可信号の生成を指示するリクエスト受信ブロック 1701 と、前記複数ブロックからのメモリアクセスの優先順位を指定するメモリアクセス優先順位指定手段 1003 と、前記リフレッシュ要求ブロックからリフレッシュ要求が出力され、前記調停回路が直前に許可したメモリアクセスがライトアクセスの場合に、次にメモリへのアクセスを許可するブロックを選択するライトアクセス時優先順位指定手

段 1 7 0 2 と、前記リクエスト受信ブロック 1 7 0 1 からの許可信号の生成を指示され、前記 S D R A M 8 0 8 へのアクセスを許可したブロックに許可信号を出力する許可信号生成ブロック 1 0 0 5 と、前記リクエスト受信ブロック 1 7 0 1 からの制御信号の生成を指示
5 され、コマンド生成制御信号及びアドレス生成制御信号及びデータラッチ制御信号を生成する制御信号生成ブロック 1 0 0 6 とで構成される。

図 7 において、

- (A) は S D R A M 8 0 8 が動作するクロック、
 - 10 (B) はリフレッシュ要求ブロック 6 0 1 から出力されるリフレッシュ要求信号、
 - (C) は調停回路 1 0 1 からリフレッシュ要求ブロック 6 0 1 へリフレッシュ許可信号、
 - (D) はブロック 8 0 4 から出力される調停回路 1 0 1 へのメモリ
15 リクエスト、
 - (E) は調停回路 1 0 1 から返信されるブロック 8 0 4 へのメモリアクセス許可信号、
 - (F) はブロック 8 0 5 から出力される調停回路 1 0 1 へのメモリ
リクエスト、
 - 20 (G) は調停回路 1 0 1 から返信されるブロック 8 0 5 へのメモリアクセス許可信号、
 - (H) はメモリ制御装置 1 0 5 が S D R A M 8 0 8 に対し実行しているメモリアクセスを示す。
- 7 0 1 はメモリ制御装置 1 0 5 がアクセス中のバンク 1 へのメモリ
25 ライトアクセス、

702はブロック804のバンク1へのメモリリードアクセス、
703はリフレッシュ要求ブロック601のリフレッシュ動作、
704はブロック805のバンク0へのメモリリードアクセスである。

- 5 本発明の実施の形態5のメモリ制御装置は、前述の実施の形態4の調停回路101が直前に許可したメモリアクセスがリードアクセスの場合に前記複数のブロックのメモリアクセスの優先順位を変更していたのに対し、直前に許可したメモリアクセスがライトアクセスの場合に、前記複数のブロックのメモリアクセスの優先順位を変更する機能が前述の実施の形態4とは異なっている。

最初に、調停回路101が直前に許可したメモリアクセスがライトアクセスで、リフレッシュ要求ブロックからリフレッシュ要求が出力された場合について説明する。

- 以下、SDRAM808に備えられているモード設定を「CAS
15 レイテンシ」＝”3”、「バースト長」＝”2”と設定し、SDRAM808に対する優先順位をリフレッシュ要求ブロック601、
ブロック804、805、806の順に優先順位が高いとメモリアクセス優先順位指定手段1003に設定したとして、リフレッシュ
要求ブロック601がSDRAM808に対しリフレッシュ動作を
20 実行する場合のメモリ制御装置105の動作について説明する。

- リフレッシュ要求ブロック601がSDRAM808にアクセスする場合には、メモリ制御装置105を介して、制御信号の受け渡しを行う。リフレッシュ要求ブロック601から調停回路101にリフレッシュ要求信号（図7（B））が出力されると、SDRAM
25 808に対するメモリリクエストを出力しているブロックが他に存

在しなければ調停回路 1 0 1 がリフレッシュ要求ブロック 6 0 1 に対し、リフレッシュ許可信号（図 7（C））を返信する。リフレッシュ要求ブロック 6 0 1 の前記リフレッシュ要求信号と同時に他のブロック（ブロック 8 0 4，8 0 5，8 0 6）がメモリリクエスト
5 （図 7（D），（F））を出力している場合には、SDRAM 8 0 8 にアクセスする優先順位に従って優先順位の高いブロックに対し許可信号を返信する。

メモリ制御装置 1 0 5 が SDRAM 8 0 8 のバンク 0 に対しライトアクセス中（図 7（H）7 0 1）でリフレッシュ要求ブロック 6
10 0 1 からリフレッシュ要求信号（図 7（B））が出力され、それと同時にブロック 8 0 4 からバンク 1 へのメモリリードリクエスト（図 7（D））と、ブロック 8 0 5 からバンク 0 へのメモリリードリクエスト（図 7（F））が出力されているとする。調停回路 1 0 1 はリクエスト受信ブロック 1 7 0 1 でリフレッシュ要求ブロック
15 6 0 1 から出力されているリフレッシュ要求とブロック 8 0 4，8 0 5 から出力されているメモリリクエストを受け取り、アクセス要求判断手段 1 5 0 2 で、リフレッシュ要求（図 7（B））が出力されていると判断し、許可信号生成ブロック 1 0 0 5 に、ブロック 8 0 4 に対する許可信号を生成するよう指示するとともに、リフレッシュ
20 シュ要求ブロックから出力されているリフレッシュ要求の優先順位を下げて、ブロック 8 0 4 のメモリアクセス要求に対する制御信号を生成するよう制御信号生成ブロック 1 0 0 6 に指示する。許可信号生成ブロック 1 0 0 5 はブロック 8 0 4 に対しメモリアクセス許可信号（図 7（E））を返信する（リフレッシュ順序変更処理）。

25 制御信号生成ブロック 1 0 0 6 は前記リクエスト受信ブロック 1

701からの制御信号の生成を指示され、コマンド生成制御信号及びアドレス生成制御信号及びデータラッチ制御信号を生成する。生成された制御信号に従ってSDRAM808に対しメモリリードアクセス702を実行する。

- 5 その後、SDRAM808に対しリフレッシュ動作703を実行し、リフレッシュ動作が終了すると、ブロック805から出力されているSDRAM808のバンク0に対するメモリリードリクエスト（図7（F））を受け付け、ブロック805に対しメモリアクセス許可信号（図7（G））を返信し、ブロック805のバンク0へのメモリリードアクセス704を実行する。

コマンド生成ブロック102及びアドレス生成ブロック103及びデータラッチブロック104の動作については、実施の形態1と同様なので省略する。

- 15 次に、調停回路101が直前に許可したメモリアクセスがライトアクセスの場合に、リフレッシュ要求の優先順位を下げる場合について説明する。

- 以下、SDRAM808に備えられているモード設定を「CASレイテンシ」＝”3”、「バースト長」＝”2”と設定し、SDRAM808に対する優先順位をブロック804、805、806の
20 順に優先順位が高いとメモリアクセス優先順位指定手段1003に設定し、リフレッシュ要求ブロック601からリフレッシュ要求信号が出力され、ブロック804がバンク1へのメモリリードリクエストを、ブロック805がバンク0へのメモリリードリクエストを出力するとする。

- 25 調停回路101が直前に許可したアクセスがライトアクセスで、

メモリ制御装置 1 0 5 がバンク 0 にメモリライトアクセス中（図 7（H） 7 0 1）であるとき、アクセス要求判断手段 1 5 0 2 では、直前のライトアクセスを許可した時点でリフレッシュ要求の優先順位を下げる。ブロック 8 0 4 から S D R A M 8 0 8 のバンク 1 への
5 メモリライトリクエスト（図 7（D））が出力され、それと同時にブロック 8 0 5 からバンク 0 へのメモリリードリクエスト（図 7（F））が出力されると、リクエスト受信ブロック 1 7 0 1 は許可信号生成ブロック 1 0 0 5 に、ブロック 8 0 4 に対する許可信号を生成するよう指示する。それとともに、ブロック 8 0 4 のメモリア
10 クセス要求に対する制御信号を生成するよう制御信号生成ブロック 1 0 0 6 に指示する。許可信号生成ブロック 1 0 0 5 はブロック 8 0 4 にメモリアkses許可信号（図 7（E））を返信する（リフレッシュ順序変更処理）。

制御信号生成ブロック 1 0 0 6 は前記リクエスト受信ブロック 1
15 7 0 1 からの制御信号の生成を指示され、コマンド生成制御信号及びアドレス生成制御信号及びデータラッチ制御信号を生成する。生成された制御信号に従って S D R A M 8 0 8 に対しメモリリードアクセス 7 0 2 を実行する。

その後、S D R A M 8 0 8 に対しリフレッシュ動作 7 0 3 を実行
20 し、リフレッシュ動作が終了すると、ブロック 8 0 5 から出力されている S D R A M 8 0 8 のバンク 0 に対するメモリリードリクエスト（図 7（F））を受け付け、ブロック 8 0 5 に対しメモリアkses許可信号（図 7（G））を返信し、ブロック 8 0 5 のバンク 0 へのメモリリードアクセス 7 0 4 を実行する。

25 コマンド生成ブロック 1 0 2 及びアドレス生成ブロック 1 0 3 及

びデータラッチブロック 104 の動作については、実施の形態 1 と同様なので省略する。

次に、調停回路 101 が直前に許可したメモリアクセスがライトアクセスの場合に、次にリードアクセスを許可するブロックを選択
5 する場合について図 16 を用いて説明する。図 16 は、実施の形態 5 において、直前に許可したメモリアクセスがライトアクセスの場合に次にリードアクセスを許可する場合のタイミングチャートである。

図 16 において、

- 10 (A) は SDRAM 808 が動作するクロック、
- (B) はリフレッシュ要求ブロック 601 から出力されるリフレッシュ要求信号、
- (C) は調停回路 101 からリフレッシュ要求ブロック 601 へリフレッシュ許可信号、
- 15 (D) はブロック 804 から出力される調停回路 101 へのメモリリクエスト、
- (E) は調停回路 101 から返信されるブロック 804 へのメモリアクセス許可信号、
- (F) はブロック 805 から出力される調停回路 101 へのメモリ
20 リクエスト、
- (G) は調停回路 101 から返信されるブロック 805 へのメモリアクセス許可信号、
- (H) はメモリ制御装置 105 が SDRAM 808 に対し実行しているメモリアクセスを示す。

25 1801 はメモリ制御装置 105 がアクセス中のバンク 0 へのメモ

ライトアクセス、

1802はブロック805のバンク2へのメモリリードアクセス、
1803はリフレッシュ要求ブロック601のリフレッシュ動作、
1804はブロック804のバンク1へのメモリリードアクセスで
5 ある。

以下、SDRAM808に備えられているモード設定を「CAS
レイテンシ」＝”3”、「バースト長」＝”2”と設定し、SDR
AM808に対する優先順位をリフレッシュ要求ブロック601、
ブロック804、805、806の順に優先順位が高いとメモリア
10 クセス優先順位指定手段1003に設定し、直前に許可したメモリ
アクセスがライトアクセスの場合に、次にリードアクセスを許可す
るブロックの優先順位をブロック806、805、804、リフレ
ッシュ要求ブロック601の順に優先順位が高いとライトアクセス
時優先順位指定手段1702に設定する。そして、リフレッシュ要
15 求ブロック601がリフレッシュ要求を、ブロック804がバンク
1にメモリリードリクエストを、ブロック805がバンク2にメモ
リリードリクエストを出力するとする。

調停回路101が直前に許可したアクセスがバンク0へのメモリ
ライトアクセスで、メモリ制御装置105がバンク0にメモリライ
20 トアクセス中（図16（H）1801）であるとき、調停回路10
1はリクエスト受信ブロック1701でリフレッシュ要求ブロック
601から出力されているリフレッシュ要求信号と、ブロック80
4、805、806から出力されているメモリリクエストを受け取
り、アクセス要求判断手段1502で、リフレッシュ要求（図16
25 （B））と、ブロック804、805からリードリクエストが出力

されている（図 1 6（D），（F））と判断し、ライトアクセス時優先順位指定手段 1 7 0 2 の設定に従って、許可信号生成ブロック 1 0 0 5 に、ブロック 8 0 5 に対する許可信号を生成するよう指示する。それとともに、ブロック 8 0 5 のメモリアクセス要求に対する制御信号を生成するよう制御信号生成ブロック 1 0 0 6 に指示する。許可信号生成ブロック 1 0 0 5 はブロック 8 0 5 にメモリアクセス許可信号（図 1 6（G））を返信する（ライトアクセス時優先順位変更処理）。

アドレス生成ブロック 1 0 3 が調停回路 1 0 1 から出力されたアドレス生成制御信号に基づき、アクセスを許可されたブロック 8 0 5 からのメモリアドレスを受け取り、S D R A M 8 0 8 に出力する。コマンド生成ブロック 1 0 2 が調停回路 1 0 1 から出力されたコマンド生成制御信号に基づき、R A S，C A S などのメモリコマンドを生成し、前記メモリコマンドを S D R A M 8 0 8 に出力し、ブロック 8 0 5 のバンク 2 へのメモリリードアクセス 1 8 0 2 を実行する。

ブロック 8 0 5 のバンク 2 へのメモリリードアクセス 1 8 0 2 が終わると、メモリアクセスを許可する優先順位に従って、リフレッシュ要求ブロック 6 0 1 のリフレッシュ動作 1 8 0 3 を実行し、ブロック 8 0 4 のバンク 1 へのメモリリードアクセス 1 6 0 4 を実行する。

以上のような構成にしたため、S D R A M 8 0 8 に対してメモリ制御装置 1 0 5 がメモリライトアクセス中の場合は、調停回路 1 0 1 がライトアクセスの後のリフレッシュ動作の優先順位を下げて、他のブロックからのリードアクセス要求を受け付けることにより、

SDRAM 808にアクセスできない待ちサイクルを解消して、処理時間を向上させることができる。

この実施の形態5では、SDRAM 808が「バースト長」＝”2”に設定されている場合を一例として説明したが、例えば、「バースト長」＝”4”，”8”，その他の値に設定されている場合にも、同様の効果が得られる。

また、この実施の形態5では、SDRAM 808が「CASレイテンシ」＝”3”に設定されている場合を一例として説明したが、例えば、「CASレイテンシ」＝”2”，その他の値に設定されている場合にも、同様の効果が得られる。

また、この実施の形態5では、実施の形態1と同様にメモリアクセス優先順位指定手段1003を外部から設定可能な構成にして、ブロック804，805，806の優先順位を変更しても良く、その場合でも同様の効果が得られる。

15 なお、この実施の形態5では、直前にアクセスを許可したメモリアクセスがライトアクセスの場合に、次にリードアクセスを許可するブロックの優先順位をブロック806，805，804の順に優先順位が高いという例で説明したが、ライトアクセス時優先順位指定手段1702を外部から設定可能な構成にして、ブロック804，
20 805，806の優先順位を変更しても良く、その場合でも同様の効果が得られる。

なお、この実施の形態5では、メモリをSDRAM 808という例で説明したが、SDRAMに限らず他の同期式メモリについても同様の効果が得られる。

(実施の形態 6)

以下に、第 34 ないし第 40 の本発明の実施の形態について、図 1 及び図 17 を用いて説明する。図 17 は実施の形態 6 における調停回路を示すブロック図である。

- 5 メモリ制御装置 105 の構成に関しては、実施の形態 1 の構成(図 1)と同様なので図番を同じくして説明は省略する。

調停回路 101 は、図 1、図 17 に示すように前記複数ブロック 804, 805, 806 からのメモリリクエストとメモリアドレスを受け取り、許可信号の生成を指示するリクエスト受信ブロック 1
10 901 が、実施の形態 1 及び実施の形態 4 で説明したバンク判断手段 1002 とアクセス要求判断手段 1502 を含むよう構成されており、前記複数ブロック 804, 805, 806 からのメモリアクセスの優先順位を指定するメモリアクセス優先順位指定手段 1003 と、前記複数ブロック 804, 805, 806 からのメモリアク
15 セス要求が直前にアクセスしたバンクと同一バンクに対するアクセス要求でかつ、前記調停回路 101 が直前に許可したメモリアクセスがリードアクセスの場合に、メモリアクセスの優先順位を変更するための調停方法を指定する調停方法指定手段 1902 と、前記調停方法指定手段 1902 の設定がバンク優先の場合に、次にアクセ
20 スを許可するブロックを選択する同一バンク時優先順位指定手段 1004 と、前記調停方法指定手段 1902 の設定がアクセス優先の場合に、次にリードアクセスを許可するブロックを選択するリードアクセス時優先順位指定手段 1503 と、前記リクエスト受信ブロック 1901 からの許可信号の生成を指示され、前記 SDRAM 8
25 08 へのアクセスを許可したブロックに許可信号を出力する許可信

号生成ブロック 1 0 0 5 と、前記リクエスト受信ブロック 1 9 0 1 からの制御信号の生成を指示され、コマンド生成制御信号及びアドレス生成制御信号及びデータラッチ制御信号を生成する制御信号生成ブロック 1 0 0 6 とで構成される。

- 5 本発明の実施の形態 6 のメモリ制御装置は、前述の実施の形態 1 の調停回路 1 0 1 が直前にメモリアクセスを許可したバンクとは異なるバンクにアクセスするように複数のブロック 8 0 4, 8 0 5, 8 0 6 のメモリアクセスの優先順位を変更する。また、前述の実施の形態 4 の調停回路 1 0 1 が直前に許可したメモリアクセスがリー
10 ドアクセスの場合に前記複数のブロックのメモリアクセスの優先順位を変更していたのに対し、調停回路 1 0 1 がメモリアクセスの優先順位を変更するための調停方法を指定する調停方法指定手段 1 9 0 2 を持ち、前記複数ブロック 8 0 4, 8 0 5, 8 0 6 からのメモリアクセス要求が直前にアクセスしたバンクと同一バンクに対する
15 アクセス要求でかつ、前記調停回路 1 0 1 が直前に許可したメモリアクセスがリードアクセスの場合でも、前記調停方法指定手段 1 9 0 2 の設定に従って調停方法を指定する機能が前述の実施の形態 1 及び実施の形態 4 とは異なっている。

- 前記調停方法指定手段 1 9 0 2 の設定がバンク優先の場合には、
20 リクエスト受信ブロック 1 9 0 1 はバンク判断手段 1 0 0 2 を用いて、前述の実施の形態 1 と同様に同一バンクが連続しないようにメモリアクセスの優先順位を変更する。

- また、前記調停方法指定手段 1 9 0 2 の設定がアクセス優先の場合にはリクエスト受信ブロック 1 9 0 1 はアクセス要求手段 1 5 0
25 2 を用いて、前述の実施の形態 4 と同様にリードアクセスが連続す

るようにメモリアクセスの優先順位を変更する。

- 以上のような構成にしたため、前記複数ブロック 804, 805, 806 からのメモリアクセス要求が、直前にアクセスしたバンクと同一バンクに対するアクセス要求でかつ、SDRAM 808 に対してメモリ制御装置 105 がメモリリードアクセス中の場合でも、調停回路 101 が同一のバンクに対するメモリアクセスを出力するブロックの優先順位を下げる。または、異なるバンクに対するメモリアクセス要求を出力しているブロックの優先順位を上げて、異なるバンクに連続してアクセスできるようにする。または、調停回路 101 がリードアクセスの優先順位を上げて、連続してリードアクセスが行われるようにメモリアクセス要求の優先順位を変更する。かかる作用により、SDRAM 808 にアクセスできない待ちサイクルを解消して、処理時間を向上させることができる。

- この実施の形態 6 では、調停方法指定手段 1902 を外部から設定可能な構成にして、調停方法を変更しても良く、その場合でも同様の効果が得られる。

なお、この実施の形態 6 では、メモリを SDRAM 808 という例で説明したが、SDRAM に限らず他の同期式メモリについても同様の効果が得られる。

請求の範囲

1. 複数のバンクを有するメモリを制御するメモリ制御装置において、

複数のブロックからの前記メモリにアクセスするためのメモリア
5 クセス要求の調停を行う調停回路と、

前記調停回路からの制御信号に基づき前記メモリへのメモリコマンドを生成するコマンド生成ブロックと、

前記調停回路によってアクセスを許可されたブロックからのメモリアドレスを受け取り、前記メモリに出力するアドレス生成ブロッ
10 クと、

前記調停回路によってアクセスを許可された前記ブロックからの書き込みデータまたは前記メモリからの読み出しデータをラッチして、アクセスを許可された前記ブロックと前記メモリ間のデータの受け渡しを行うデータラッチブロックとを備え、

15 前記調停回路が直前にメモリアccessを許可したバンクとは異なるバンクにアクセスするように前記複数のブロックのメモリアccessの優先順位を変更することを特徴とするメモリ制御装置。

2. 前記調停回路が、

前記複数のブロックからのメモリリクエストとメモリアドレスを受け取り、受け取ったメモリアドレスから同一バンクに対するアクセスか判断するバンク判断手段を含み、許可信号の生成を指示するリ
20 クエスト受信ブロックと、

前記複数のブロックからのメモリアccessの優先順位を指定するメモリアccess優先順位指定手段と、

25 前記複数のブロックからのメモリアccess要求が直前にアクセスし

たバンクと同一バンクに対するアクセス要求の場合に次にアクセスを許可するブロックを選択する同一バンク時優先順位指定手段と、

前記リクエスト受信ブロックからの許可信号の生成を指示され、前記メモリへのアクセスを許可したブロックに許可信号を出力する

5 許可信号生成ブロックと、

前記リクエスト受信ブロックからの制御信号の生成を指示され、各制御信号を生成する制御信号生成ブロックとを備えることを特徴とする請求項 1 に記載のメモリ制御装置。

3. 前記調停回路は、直前にメモリアクセスを許可したバンク
10 と同一のバンクにアクセスするブロックに対するメモリアクセスの優先順位を下げることを特徴とする請求項 1 に記載のメモリ制御装置。

4. 前記調停回路は、直前にメモリアクセスを許可したバンク
15 と異なるバンクにアクセスするブロックに対するメモリアクセスの優先順位を上げることを特徴とする請求項 1 に記載のメモリ制御装置。

5. 前記調停回路は、直前にメモリアクセスを許可したバンク
20 と次のメモリアクセスで要求されたバンクが同一である場合に、メモリアクセスの優先順位を下げることを特徴とする請求項 1 に記載のメモリ制御装置。

6. 前記メモリアクセス優先順位指定手段は、外部から設定可能であり前記メモリアクセス優先順位指定手段の設定により、前記複数のブロックからの前記メモリに対する優先順位を変更できることを特徴とする請求項 2 に記載のメモリ制御装置。

25 7. 前記同一バンク時優先順位指定手段は、外部から設定可能

であり前記複数ブロックからのメモリアクセス要求が直前にアクセスしたバンクと同一バンクに対するアクセス要求の場合に、前記同一バンク時優先順位指定手段に設定された優先順位に従って、次にメモリへのアクセスを許可するブロックを選択することができることを特徴とする請求項 2 に記載のメモリ制御装置。

8. 前記メモリは、同期式メモリであることを特徴とする請求項 1 に記載のメモリ制御装置。

9. 複数のバンクを有するメモリを制御するメモリ制御装置において、

10 複数のブロックからの前記メモリにアクセスするためのメモリアクセス要求の調停を行う調停回路と、

前記調停回路からの制御信号に基づき前記メモリへのメモリコマンドを生成するコマンド生成ブロックと、

15 前記調停回路によってアクセスを許可されたブロックからのメモリアドレスを受け取り、前記メモリに出力するアドレス生成ブロックと、

前記調停回路によってアクセスを許可された前記ブロックからの書き込みデータまたは前記メモリからの読み出しデータをラッチして、アクセスを許可された前記ブロックと前記メモリ間のデータの受け渡しを行うデータラッチブロックとを備え、

20 前記メモリの同一バンクに対して書き込みまたは読み出しが行われる所定のバイト数のメモリへのアクセスデータをバンクアクセスデータとし、異なるバンクに属する 2 組の前記バンクアクセスデータによって構成されるデータ単位をブロックアクセスデータとし、

25 前記複数のブロックが前記ブロックアクセスデータ単位でメモリ

アクセス要求をしたとき、直前にメモリアクセスを許可した後半のバンクと次のメモリアクセス要求の前半のバンクが同一である場合には、前記調停回路が前記ブロックアクセスデータ内のバンクアクセスデータのメモリアクセスの順序を入れ替えることを特徴とする

5 メモリ制御装置。

10. 前記調停回路が、

前記複数ブロックからのメモリリクエストとメモリアドレスを受け取り、受け取ったメモリアドレスから直前にメモリアクセスを許可した後半のバンクと次のメモリアクセス要求の前半のバンクが同一のバンクに対するアクセスか判断するバンク判断手段を含み、許可信号の生成を指示するリクエスト受信ブロックと、

前記複数ブロックからのメモリアクセスの優先順位を指定するメモリアクセス優先順位指定手段と、

前記リクエスト受信ブロックからの許可信号の生成を指示され、
15 前記メモリへのアクセスを許可したブロックに許可信号を出力する許可信号生成ブロックと、

前記リクエスト受信ブロックからの制御信号の生成を指示され、各制御信号を生成する制御信号生成ブロックとを備えることを特徴とする請求項 9 に記載のメモリ制御装置。

20 11. 前記データラッチブロックが、

前記複数ブロックからのライトデータを受け取り、ラッチするライトデータラッチブロックと、

前記調停回路からのデータラッチ制御信号に基づき、前記ライトデータラッチブロックが出力するバンクアクセスデータの順序を入れ替え、ライトデータとして前記メモリへ出力し、さらに後述する

リードデータラッチブロックが出力するバンクアクセスデータの順序を入れ替えリードデータとして前記メモリへのリードアクセスを許可されたブロックへ出力するデータ入れ替えブロックと、

前記メモリから読み出されたリードデータを受け取り、ラッチするリードデータラッチブロックとを備えることを特徴とする請求項 9 に記載のメモリ制御装置。

1 2. 前記調停回路は、直前にメモリアksesを許可した後半のバンクと次のメモリアkses要求の前半のバンクが同一である場合、前記ブロックアクセスデータ内の前記バンクアクセスデータの順序を入れ替えて前記メモリから前記ブロックアクセスデータを読み出して前記データラッチブロックに格納し、前記データラッチブロックは、格納した前記ブロックアクセスデータ内の前記バンクアクセスデータ単位で順序を入れ替えて、メモリアksesを行った前記ブロックに対して転送することを特徴とする請求項 9 に記載のメモリ制御装置。

1 3. 前記メモリアkses優先順位指定手段は、外部から設定可能であり前記メモリアkses優先順位指定手段の設定により、前記複数のブロックからの前記メモリに対する優先順位を変更できることを特徴とする請求項 1 0 に記載のメモリ制御装置。

20 1 4. 前記メモリは、同期式メモリであることを特徴とする請求項 9 に記載のメモリ制御装置。

1 5. 複数のバンクを有するメモリを制御するメモリ制御装置において、

複数のブロックからの前記メモリにアクセスするためのメモリアkses要求の調停を行う調停回路と、

前記調停回路からの制御信号に基づき前記メモリへのメモリコマンドを生成するコマンド生成ブロックと、

前記調停回路によってアクセスを許可されたブロックからのメモリアドレスを受け取り、前記メモリに出力するアドレス生成ブロックと、

前記調停回路によってアクセスを許可された前記ブロックからの書き込みデータまたは前記メモリからの読み出しデータをラッチして、アクセスを許可された前記ブロックと前記メモリ間のデータの受け渡しを行うデータラッチブロックとを備え、

10 前記メモリの同一バンクに対して、書き込みまたは読み出しが行われる所定のバイト数のメモリへのアクセスデータをバンクアクセスデータとし、異なるバンクに属する2組の前記バンクアクセスデータによって構成されるデータ単位をブロックアクセスデータとすると、前記メモリへのアクセスを許可された前記ブロックからの

15 メモリアccess要求が前記バンクアクセスデータ単体の場合には、前記調停回路が待ちサイクルを設けるように前記コマンド生成ブロックに指示することを特徴とするメモリ制御装置。

16. 前記調停回路が、

前記複数ブロックからのメモリリクエストを受け取り、受け取ったメモリリクエストから要求されたメモリアccessのデータ単位を判断するデータ単位判断手段を含み、許可信号の生成を指示するリクエスト受信ブロックと、

前記複数ブロックからのメモリアccessの優先順位を指定するメモリアccess優先順位指定手段と、

25 前記複数ブロックからのメモリアccess要求がバンクアクセスデ

一タ単位の場合に設ける待ちサイクル数を指定するウェイトサイクル指定手段と、

前記リクエスト受信ブロックからの許可信号の生成を指示され、前記メモリへのアクセスを許可したブロックに許可信号を出力する

5 許可信号生成ブロックと、

前記リクエスト受信ブロックからの制御信号の生成を指示され、各制御信号を生成する制御信号生成ブロックとを備えることを特徴とする請求項 1 5 に記載のメモリ制御装置。

1 7. 前記メモリアクセス優先順位指定手段は、外部から設定
10 可能であり前記メモリアクセス優先順位指定手段の設定により、前記複数のブロックからの前記メモリに対する優先順位を変更できることを特徴とする請求項 1 6 に記載のメモリ制御装置。

1 8. 前記ウェイトサイクル指定手段は、外部から設定可能であり前記ウェイトサイクル指定手段の設定により、前記コマンド生
15 成ブロックで設ける待ちサイクル数を変更できることを特徴とする請求項 1 6 に記載のメモリ制御装置。

1 9. 前記メモリは、同期式メモリであることを特徴とする請求項 1 5 に記載のメモリ制御装置。

2 0. 複数のバンクを有するメモリを制御するメモリ制御装置
20 において、

複数のブロックからの前記メモリにアクセスするためのメモリアクセス要求の調停を行う調停回路と、

前記調停回路からの制御信号に基づき前記メモリへのメモリコマンドを生成するコマンド生成ブロックと、

25 前記調停回路によってアクセスを許可されたブロックからのメモ

リアドレスを受け取り、前記メモリに出力するアドレス生成ブロックと、

- 前記調停回路によってアクセスを許可された前記ブロックからの書き込みデータまたは前記メモリからの読み出しデータをラッチして、アクセスを許可された前記ブロックと前記メモリ間のデータの受け渡しを行うデータラッチブロックとを備え、

- 前記調停回路が直前に許可したメモリアクセスがリードアクセスの場合は、連続してリードアクセスが行われるように前記複数のブロックのメモリアクセス要求の優先順位を変更することを特徴とするメモリ制御装置。

21. 前記調停回路が、

- 前記複数ブロックからのメモリリクエストを受け取り、受け取ったメモリリクエストから要求されたメモリアクセスの種類を判断するアクセス要求判断手段を含み、許可信号の生成を指示するリクエスト受信ブロックと、

前記複数ブロックからのメモリアクセスの優先順位を指定するメモリアクセス優先順位指定手段と、

- 直前に許可したメモリアクセスがリードアクセスの場合に、次にリードアクセスを許可するブロックを選択するリードアクセス時優先順位指定手段と、

前記リクエスト受信ブロックからの許可信号の生成を指示され、前記メモリへのアクセスを許可したブロックに許可信号を出力する許可信号生成ブロックと、

- 前記リクエスト受信ブロックからの制御信号の生成を指示され、各制御信号を生成する制御信号生成ブロックとを備えることを特徴

とする請求項 20 に記載のメモリ制御装置。

22. 前記調停回路は、直前に許可したメモリアクセスがリードアクセスの場合に、リードアクセスの優先順位を上げることを特徴とする請求項 20 に記載のメモリ制御装置。

5 23. 前記調停回路は、直前に許可したメモリアクセスがリードアクセスで、次のメモリアクセス要求にリードアクセスが存在する場合に、リードアクセスの優先順位を上げることを特徴とする請求項 20 に記載のメモリ制御装置。

10 24. 前記メモリアクセス優先順位指定手段は、外部から設定可能であり前記メモリアクセス優先順位指定手段の設定により、前記複数のブロックからの前記メモリに対する優先順位を変更できることを特徴とする請求項 21 に記載のメモリ制御装置。

15 25. 前記リードアクセス時優先順位指定手段は、外部から設定可能であり前記調停回路が直前に許可したメモリアクセスがリードアクセスの場合に、前記リードアクセス時優先順位指定手段に設定された優先順位に従って、次にメモリへのリードアクセスを許可するブロックを選択することができることを特徴とする請求項 20 に記載のメモリ制御装置。

20 26. 前記メモリは、同期式メモリであることを特徴とする請求項 20 に記載のメモリ制御装置。

27. 複数のバンクを有するメモリを制御するメモリ制御装置において、

前記メモリの内部データを保持するために一定間隔でリフレッシュ動作を要求するリフレッシュ要求ブロックと、

25 複数のブロックからの前記メモリにアクセスするためのメモリア

クセス要求と前記リフレッシュ要求ブロックからのリフレッシュ要求の調停を行う調停回路と、

前記調停回路からの制御信号に基づき前記メモリへのメモリコマンドを生成するコマンド生成ブロックと、

- 5 前記調停回路によってアクセスを許可されたブロックからのメモリアドレスを受け取り、前記メモリに出力するアドレス生成ブロックと、

- 10 前記調停回路によってアクセスを許可された前記ブロックからの書き込みデータまたは前記メモリからの読み出しデータをラッチして、アクセスを許可された前記ブロックと前記メモリ間のデータの受け渡しを行うデータラッチブロックとを備え、

前記調停回路が直前に許可したメモリアクセスがライトアクセスの場合は、前記リフレッシュ要求ブロックからのリフレッシュ要求の優先順位を変更することを特徴とするメモリ制御装置。

- 15 28. 前記調停回路が、

- 前記リフレッシュ要求ブロックからのリフレッシュ要求と前記複数ブロックからのメモリリクエストを受け取り、受け取ったリフレッシュ要求とメモリリクエストから要求されたメモリアクセスの種類を判断するアクセス要求判断手段を含み、許可信号の生成を指示
20 するリクエスト受信ブロックと、

前記複数ブロックからのメモリアクセスの優先順位を指定するメモリアクセス優先順位指定手段と、

- 前記リフレッシュ要求ブロックからリフレッシュ要求が出力され、前記調停回路が直前に許可したメモリアクセスがライトアクセスの
25 場合に、次にリードアクセスを許可するブロックを選択するライト

アクセス時優先順位指定手段と、

前記リクエスト受信ブロックからの許可信号の生成を指示され、
前記メモリへのアクセスを許可したブロックに許可信号を出力する
許可信号生成ブロックと、

- 5 前記リクエスト受信ブロックからの制御信号の生成を指示され、
各制御信号を生成する制御信号生成ブロックとを備えることを特徴
とする請求項 27 に記載のメモリ制御装置。

29. 前記調停回路は、直前に許可したメモリアクセスがライ
トアクセスの場合に、リフレッシュ要求の優先順位を下げることを
10 特徴とする請求項 27 に記載のメモリ制御装置。

30. 前記調停回路は、直前に許可したメモリアクセスがライ
トアクセスで、次のメモリアクセス要求にリフレッシュ要求が存在
する場合に、リフレッシュ要求の優先順位を下げることを特徴とす
る請求項 27 に記載のメモリ制御装置。

- 15 31. 前記メモリアクセス優先順位指定手段は、外部から設定
可能であり前記メモリアクセス優先順位指定手段の設定により、前
記複数のブロックからの前記メモリに対する優先順位を変更できる
ことを特徴とする請求項 28 に記載のメモリ制御装置。

32. 前記ライトアクセス時優先順位指定手段は、外部から設
20 定可能であり前記リフレッシュ要求ブロックからリフレッシュ要求
が出力され、前記調停回路が直前に許可したメモリアクセスがライ
トアクセスの場合に、前記ライトアクセス時優先順位指定手段に設
定された優先順位に従って、次にメモリへのアクセスを許可するブ
ロックを選択することができることを特徴とする請求項 28 に記載
25 のメモリ制御装置。

33. 前記メモリは、同期式メモリであることを特徴とする請求項27に記載のメモリ制御装置。

34. 複数のバンクを有するメモリを制御するメモリ制御装置において、

5 複数のブロックからの前記メモリにアクセスするためのメモリアクセス要求の調停を行う調停回路と、

前記調停回路からの制御信号に基づき前記メモリへのメモリコマンドを生成するコマンド生成ブロックと、

10 前記調停回路によってアクセスを許可されたブロックからのメモリアドレスを受け取り、前記メモリに出力するアドレス生成ブロックと、

前記調停回路によってアクセスを許可された前記ブロックからの書き込みデータまたは前記メモリからの読み出しデータをラッチして、アクセスを許可された前記ブロックと前記メモリ間のデータの受け渡しを行うデータラッチブロックとを備え、

15

前記複数ブロックからのメモリアクセス要求が直前にアクセスしたバンクと同一バンクに対するアクセス要求でかつ、前記調停回路が直前に許可したメモリアクセスがリードアクセスの場合は、前記調停回路が前記複数のブロックのメモリアクセスの優先順位を変更するための調停方法を指定することを特徴とするメモリ制御装置。

20

35. 前記調停回路が、

前記複数ブロックからのメモリアドレスを受け取り、受け取ったメモリアドレスから同一バンクに対するアクセスか判断するバンク判断手段と、

25 前記複数ブロックからのメモリリクエストを受け取り、受け取っ

たメモリリクエストから要求されたメモリアクセスの種類を判断するアクセス要求判断手段と、

前記バンク判断手段と前記アクセス要求判断手段とを含み、許可信号の生成を指示するリクエスト受信ブロックと、

- 5 前記複数ブロックからのメモリアクセスの優先順位を指定するメモリアクセス優先順位指定手段と、

前記複数ブロックからのメモリアクセス要求が直前にアクセスしたバンクと同一バンクに対するアクセス要求でかつ、前記調停回路が直前に許可したメモリアクセスがリードアクセスの場合に、メモ

- 10 リアアクセスの優先順位を変更するための調停方法を指定する調停方法指定手段と、

前記調停方法指定手段の設定がバンク優先の場合に、次にアクセスを許可するブロックを選択する同一バンク時優先順位指定手段と、

- 15 前記調停方法指定手段の設定がアクセス優先の場合に、次にリードアクセスを許可するブロックを選択するリードアクセス時優先順位指定手段と、

前記リクエスト受信ブロックからの許可信号の生成を指示され、前記メモリへのアクセスを許可したブロックに許可信号を出力する許可信号生成ブロックと、

- 20 前記リクエスト受信ブロックからの制御信号の生成を指示され、各制御信号を生成する制御信号生成ブロックとを備えることを特徴とする請求項 3 4 に記載のメモリ制御装置。

- 3 6. 前記メモリアクセス優先順位指定手段は、外部から設定可能であり前記メモリアクセス優先順位指定手段の設定により、前
25 記複数のブロックからの前記メモリに対する優先順位を変更できる

ことを特徴とする請求項 3 5 に記載のメモリ制御装置。

3 7. 前記調停方法指定手段は、外部から設定可能であり前記調停方法指定手段の設定により、前記複数のブロックからのメモリアクセスの調停方法を変更できることを特徴とする請求項 3 5 に記載のメモリ制御装置。

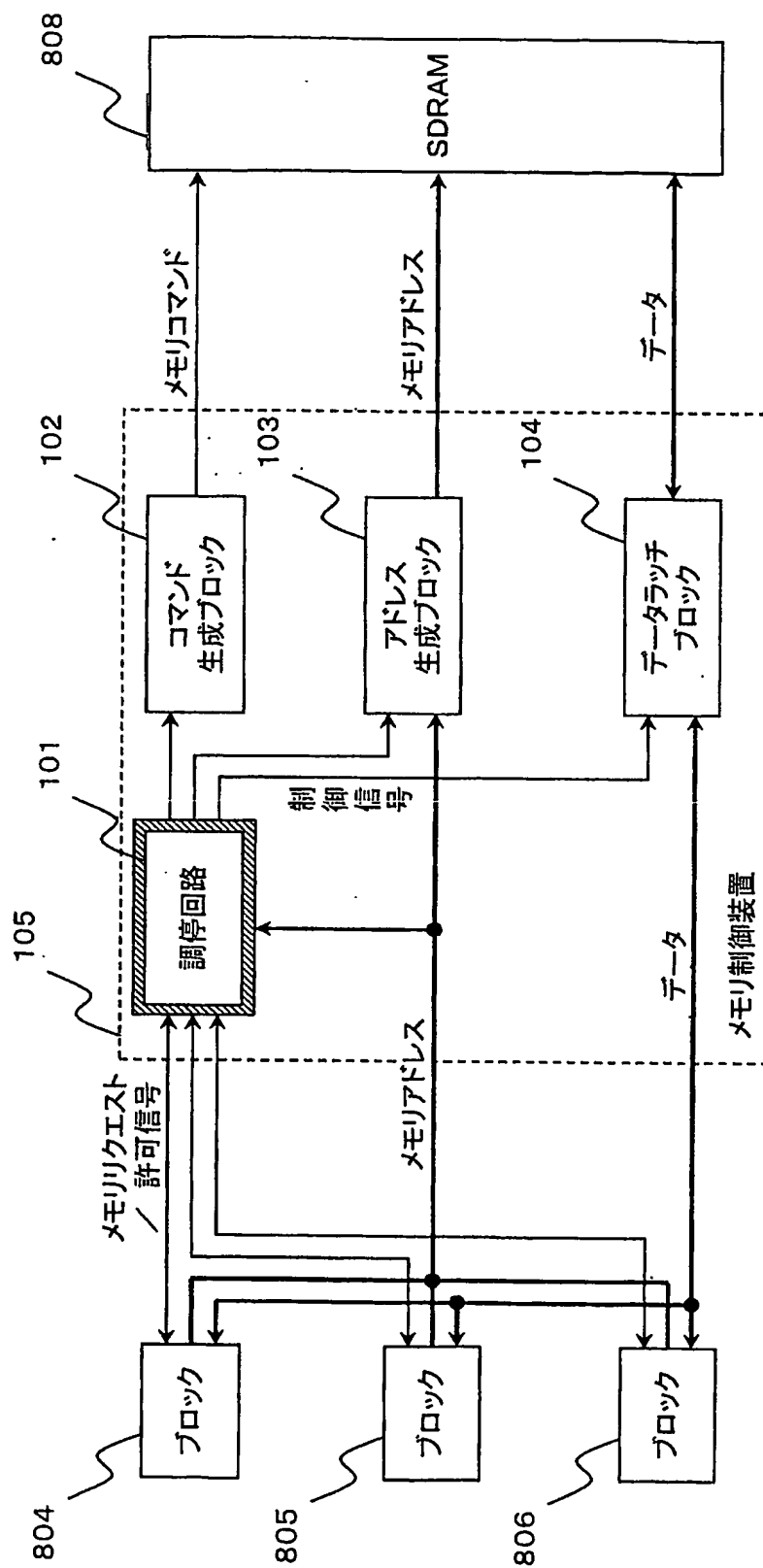
3 8. 前記同一バンク時優先順位指定手段は、外部から設定可能であり前記調停方法指定手段の設定がバンク優先の場合でかつ、前記複数ブロックからのメモリアクセス要求が直前にアクセスしたバンクと同一バンクに対するアクセス要求の場合に、前記同一バンク時優先順位指定手段に設定された優先順位に従って、次にメモリへのアクセスを許可するブロックを選択することができることを特徴とする請求項 3 5 に記載のメモリ制御装置。

3 9. 前記リードアクセス時優先順位指定手段は、外部から設定可能であり前記調停方法指定手段の設定がアクセス優先の場合でかつ、前記調停回路が直前に許可したメモリアクセスがリードアクセスの場合に、前記リードアクセス時優先順位指定手段に設定された優先順位に従って、次にメモリへのリードアクセスを許可するブロックを選択することができることを特徴とする請求項 3 5 に記載のメモリ制御装置。

4 0. 前記メモリは、同期式メモリであることを特徴とする請求項 3 4 に記載のメモリ制御装置。

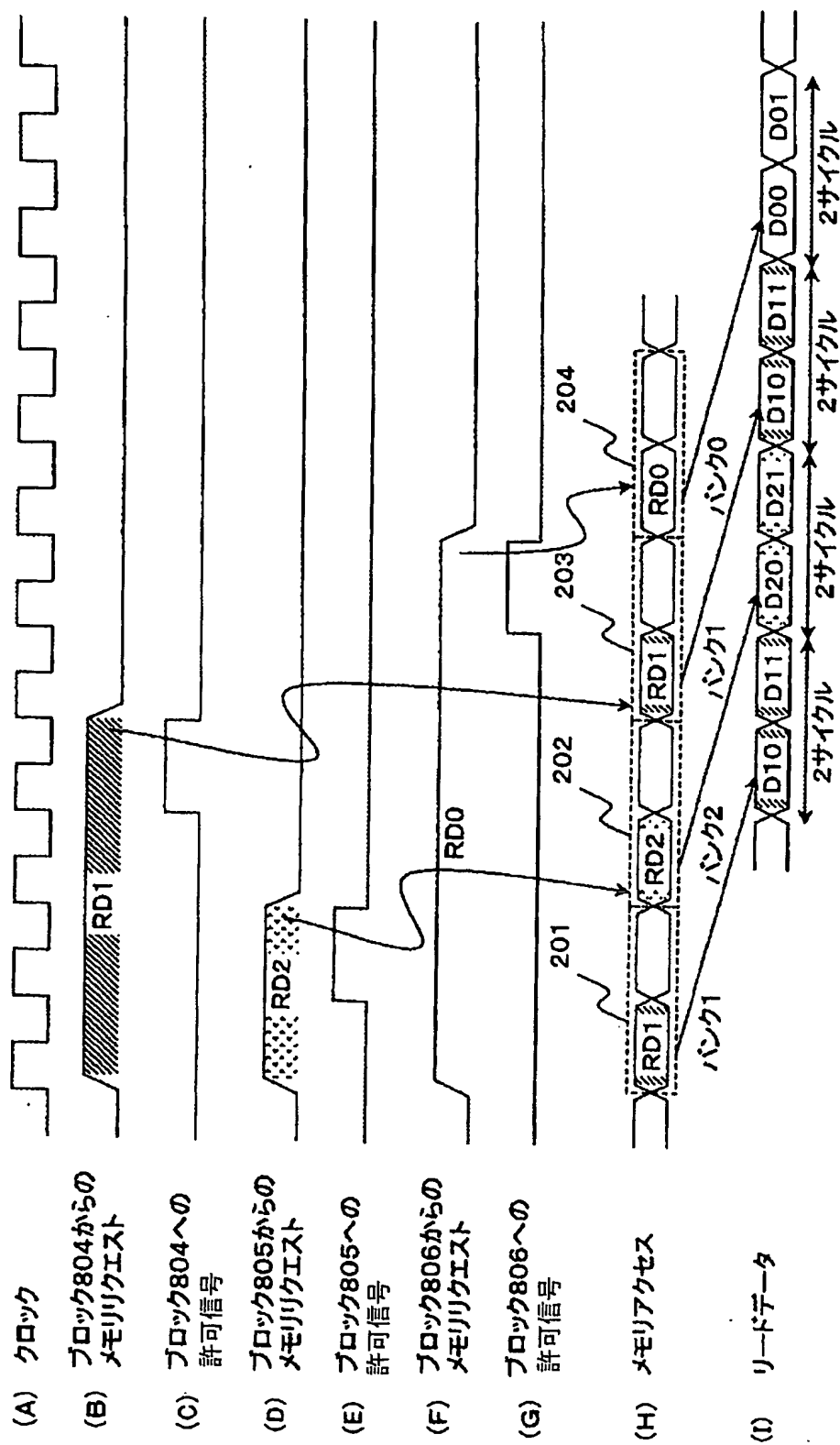
1/19

図 1



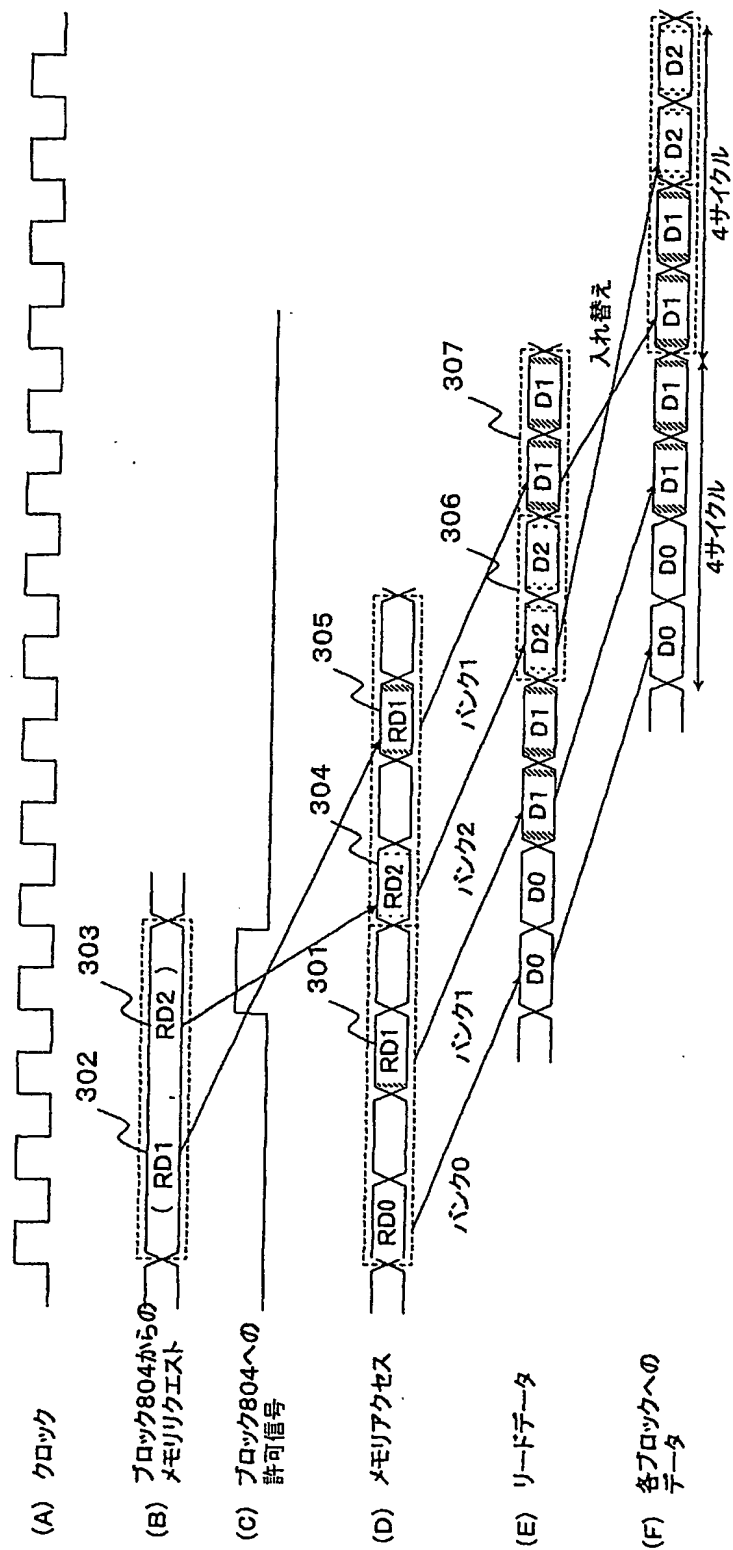
2/19

图 2



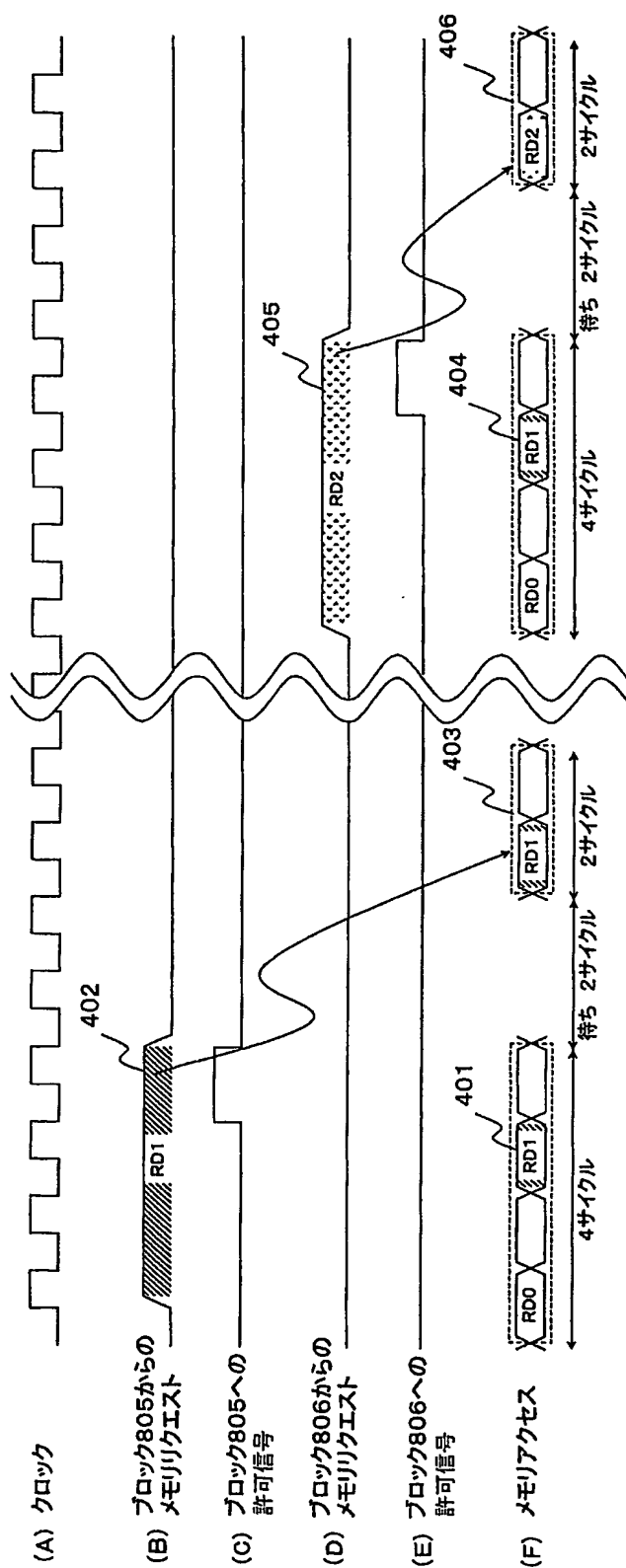
3/19

図 3



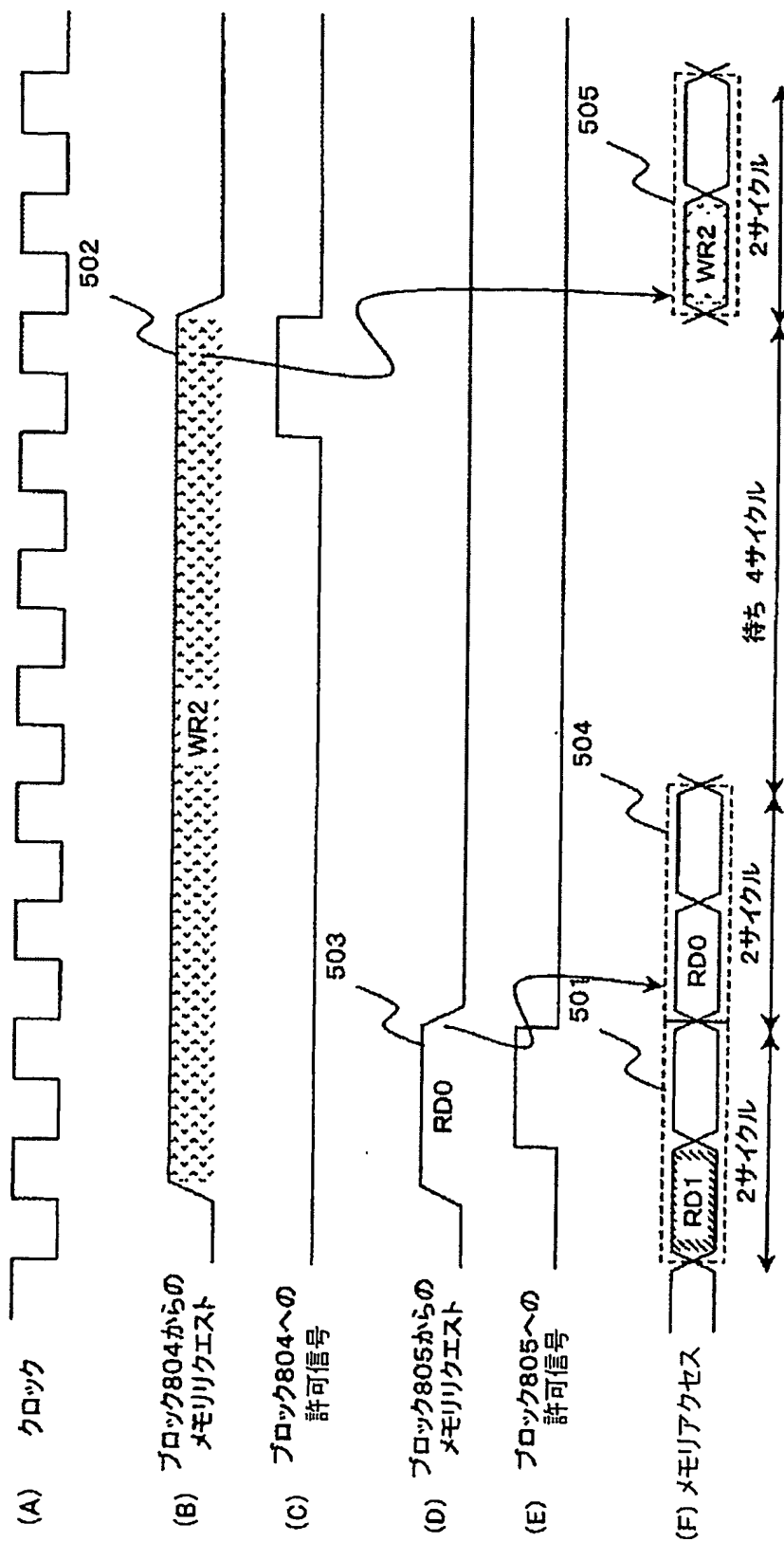
4/19

図 4



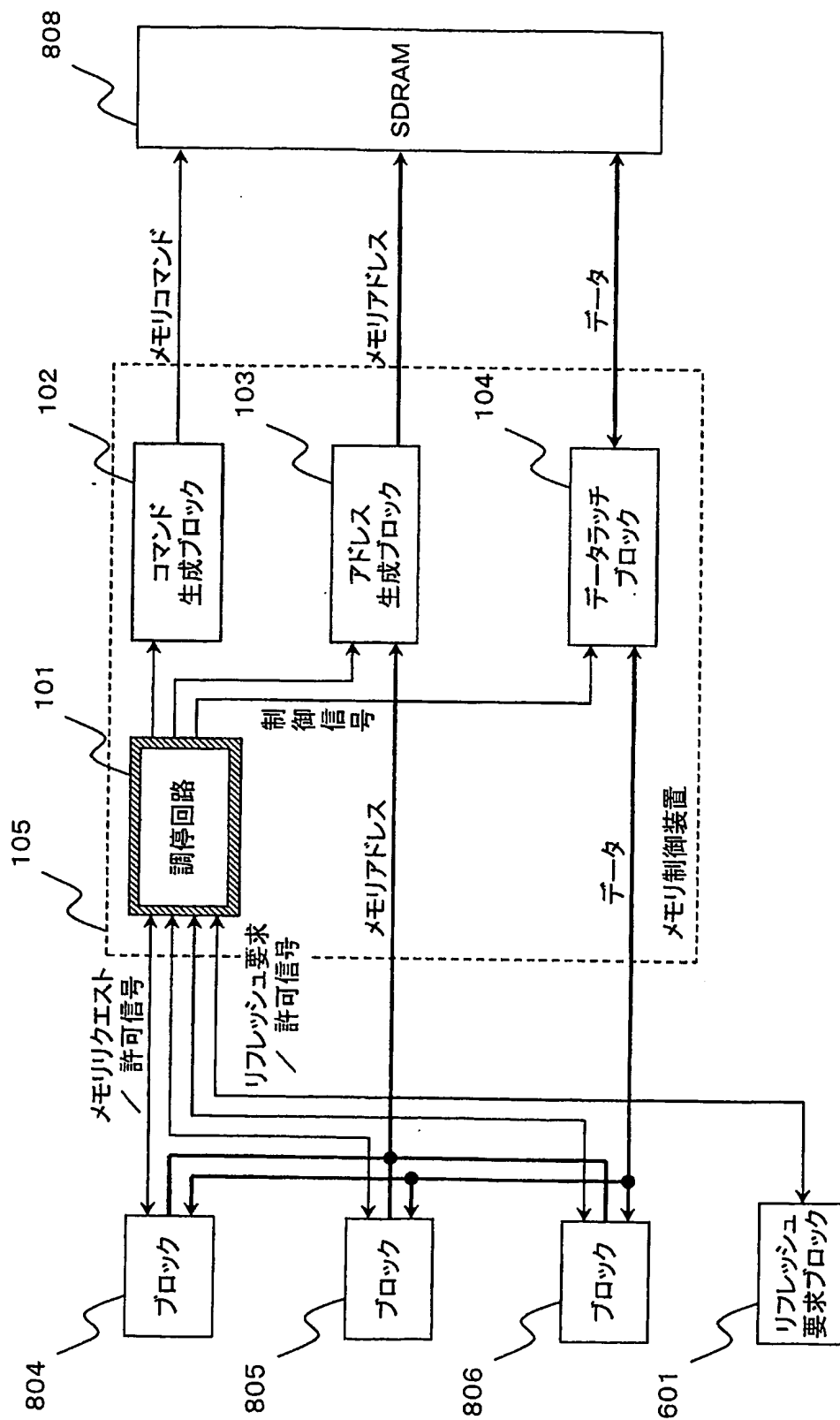
5/19

図 5



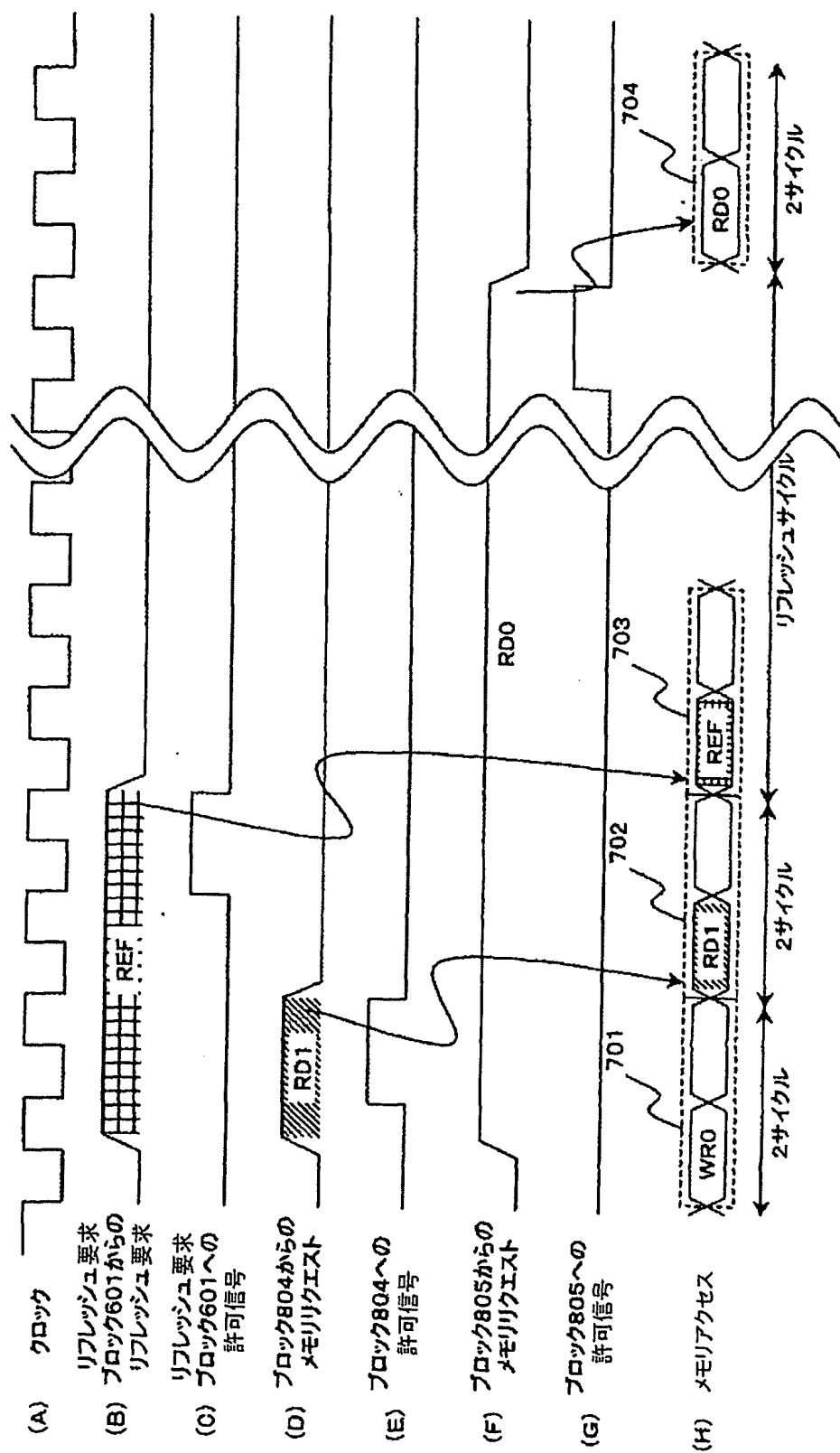
6/19

図 6



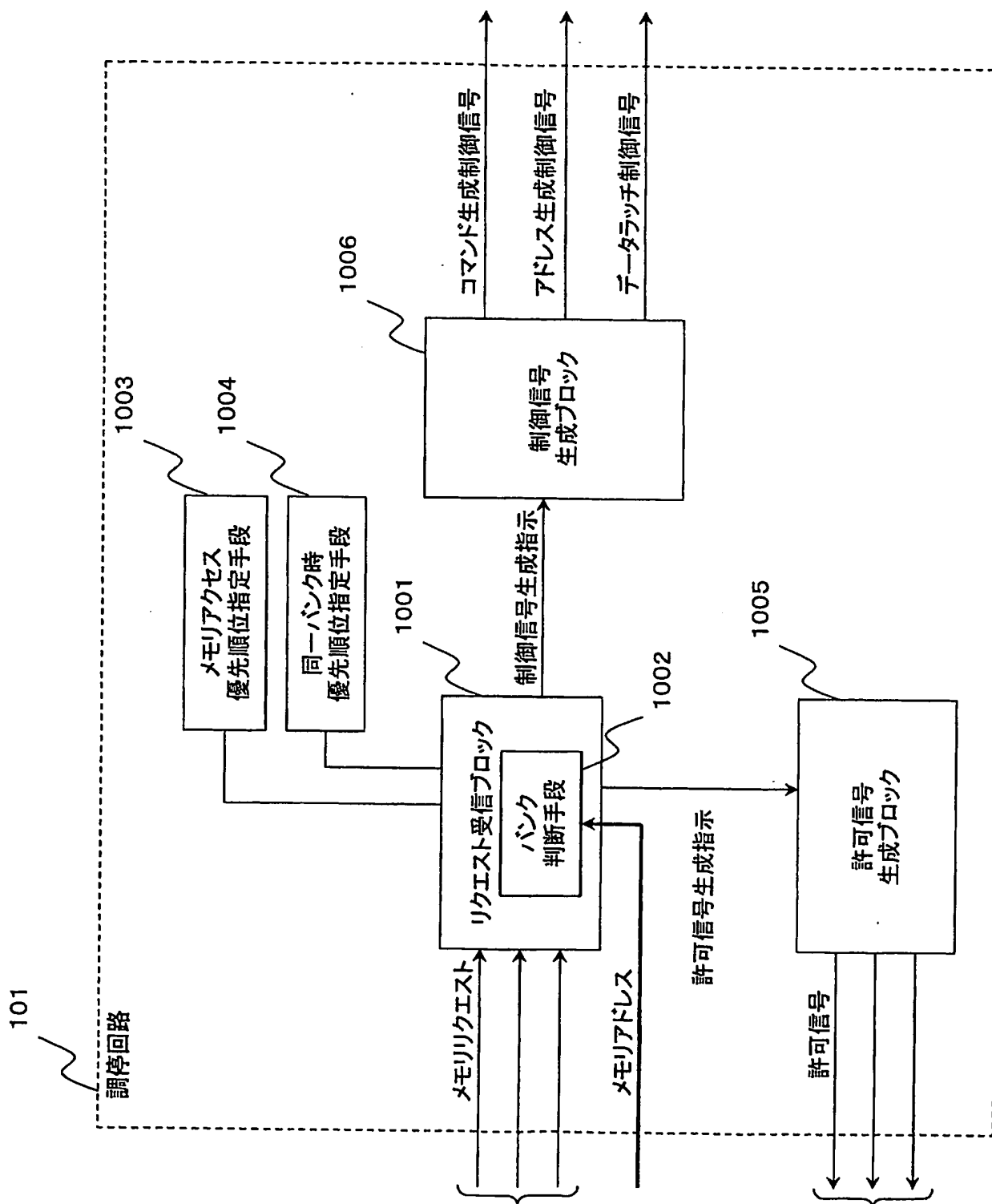
7/19

図 7



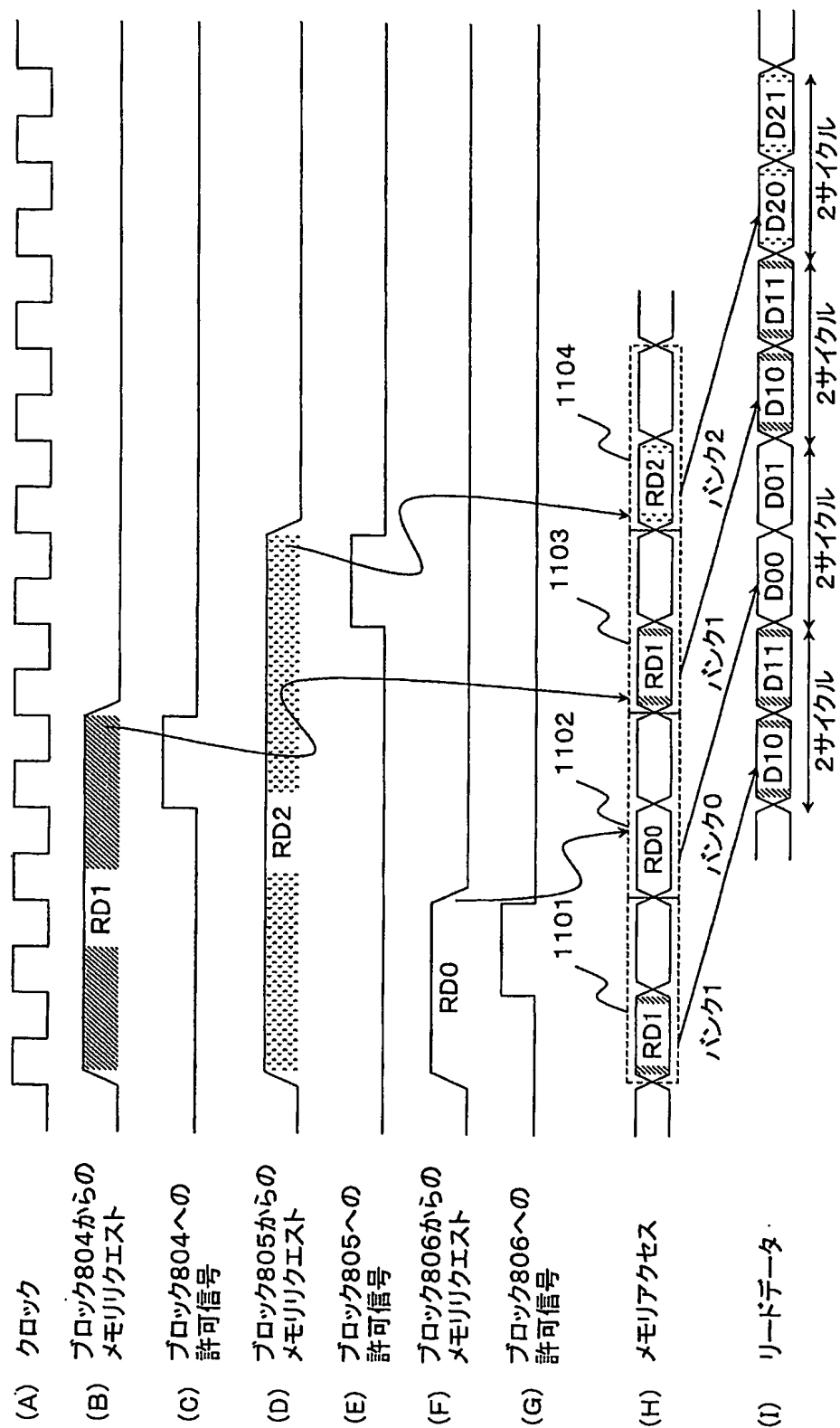
8/19

図 8



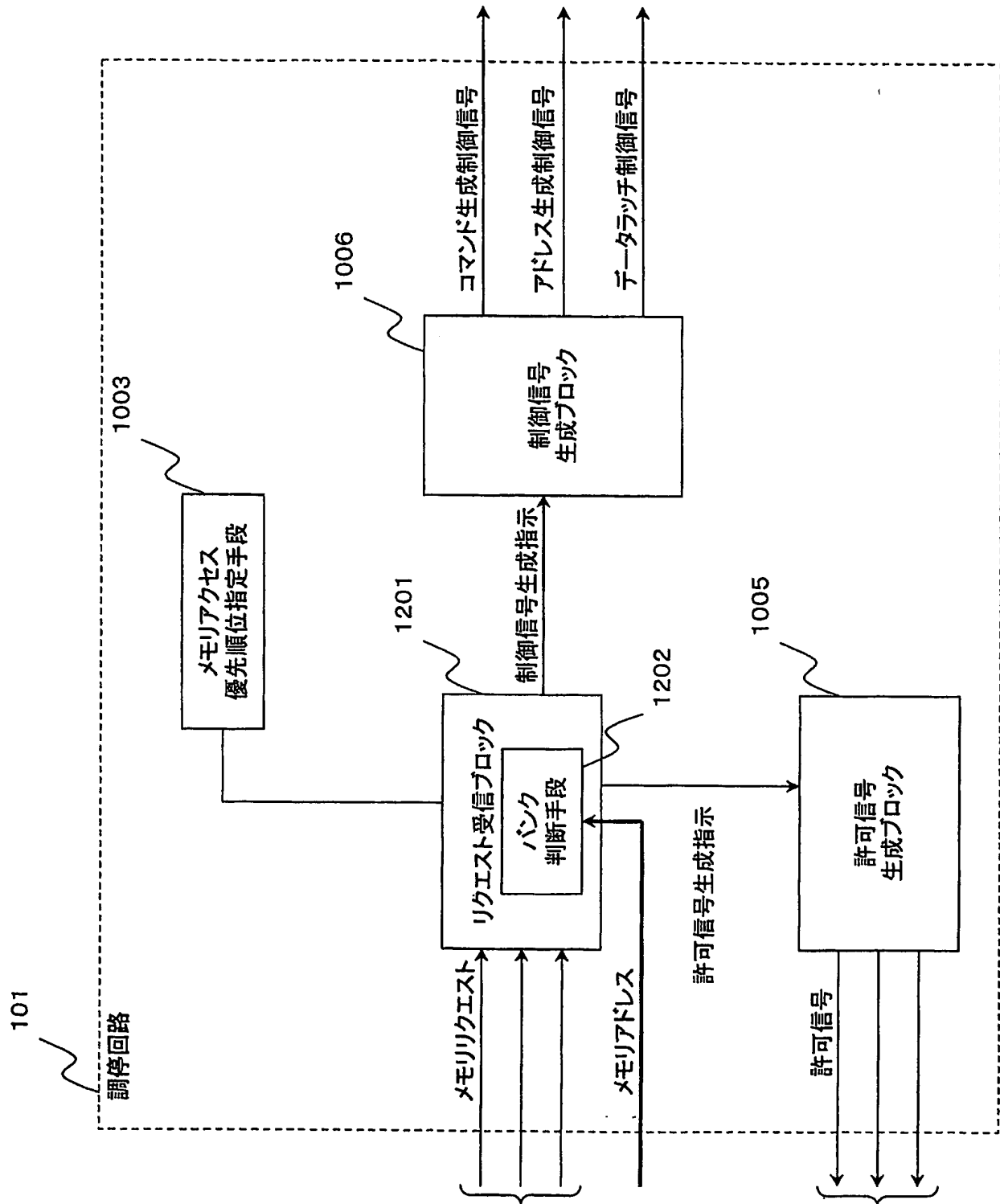
9/19

図 9



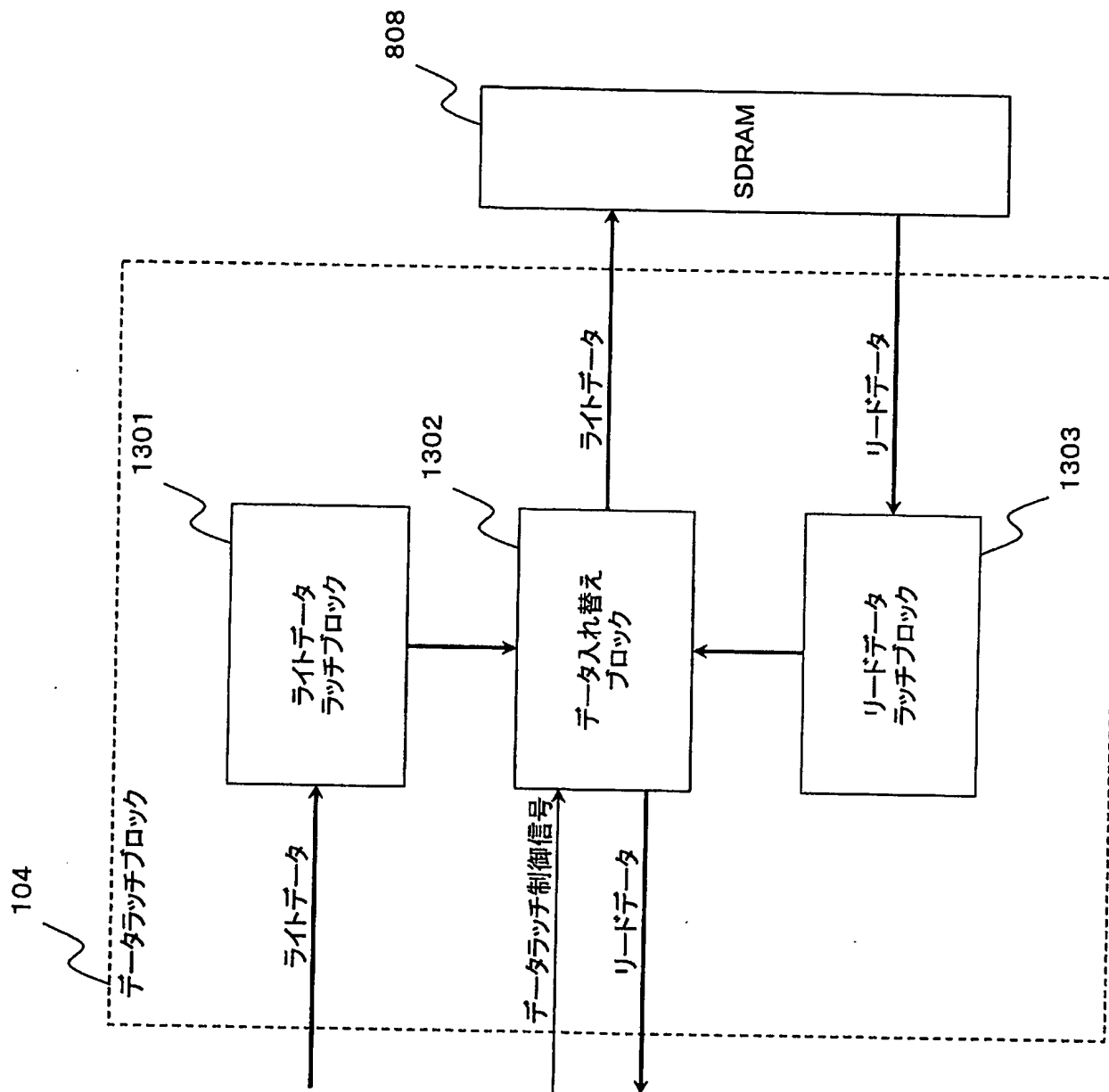
10/19

図 10



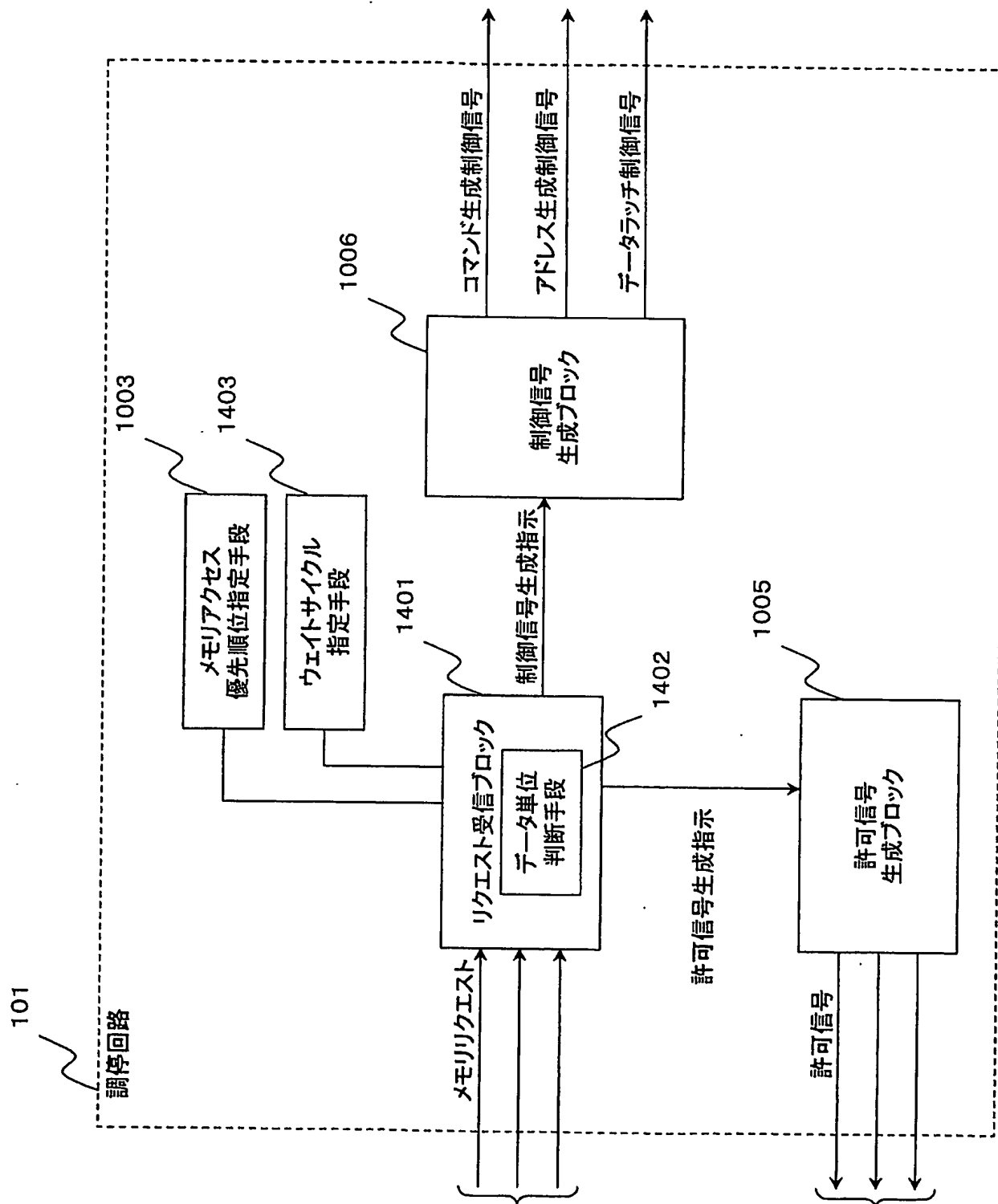
11/19

☒ 1 1



12/19

図 12



13/19

図 13

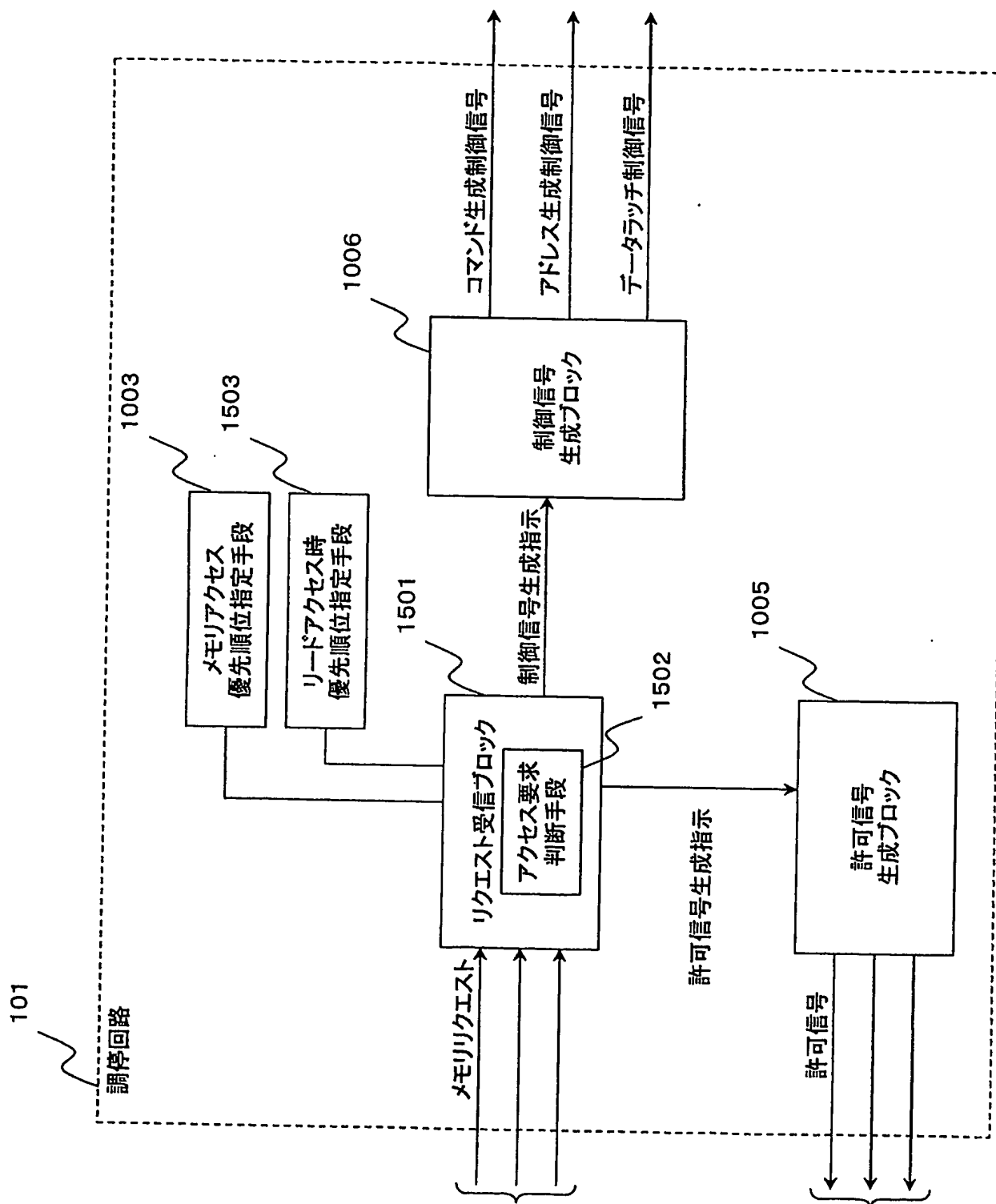
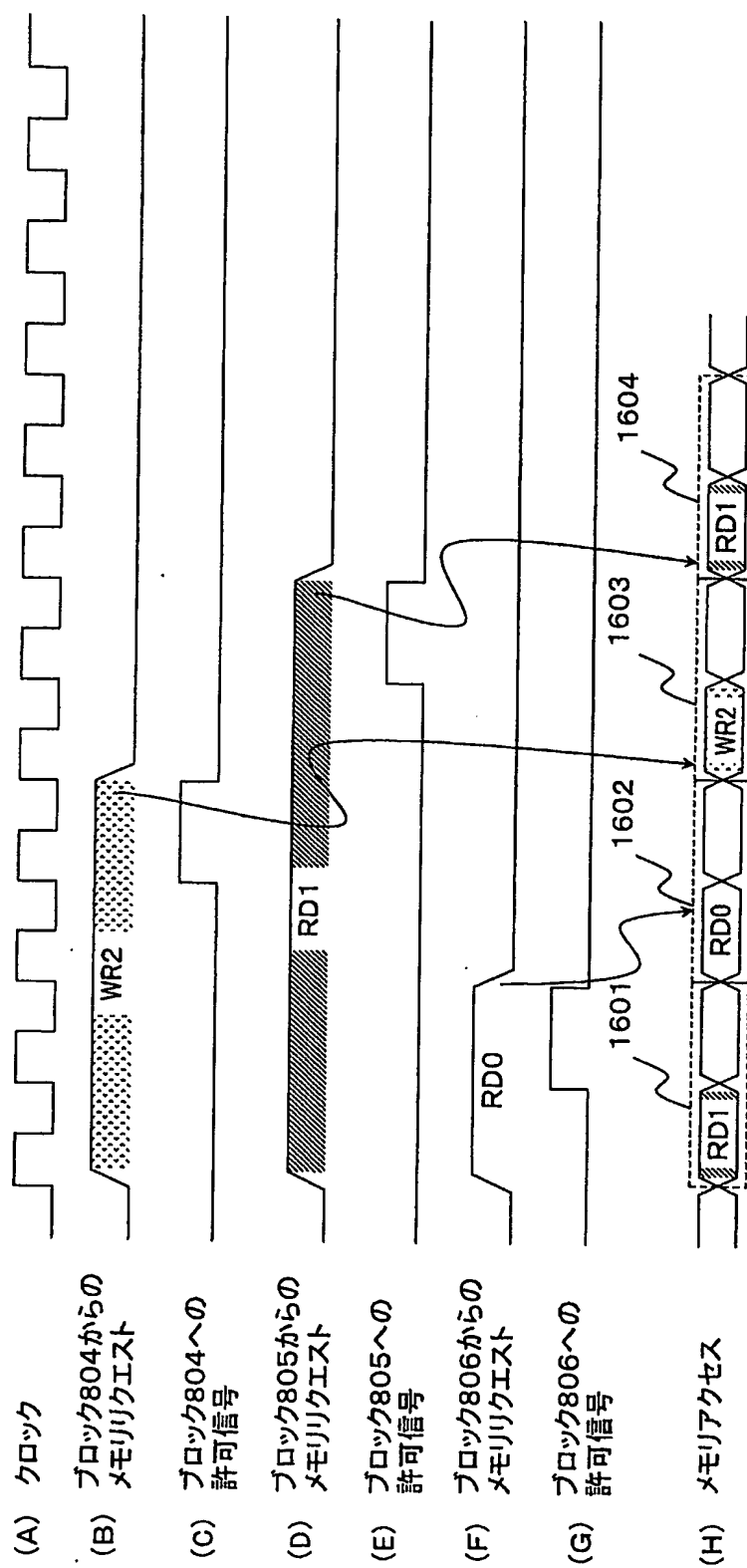
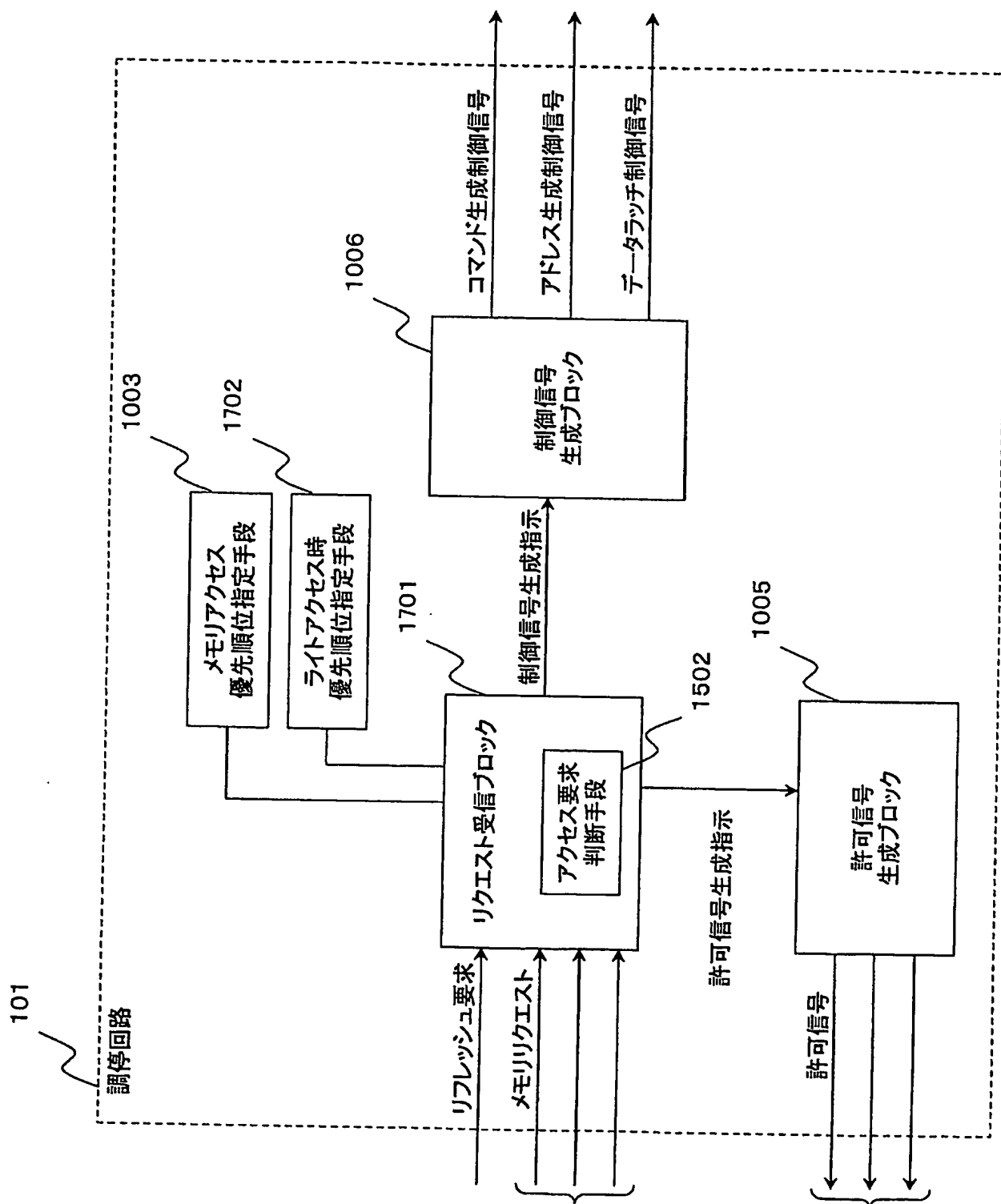


圖 14



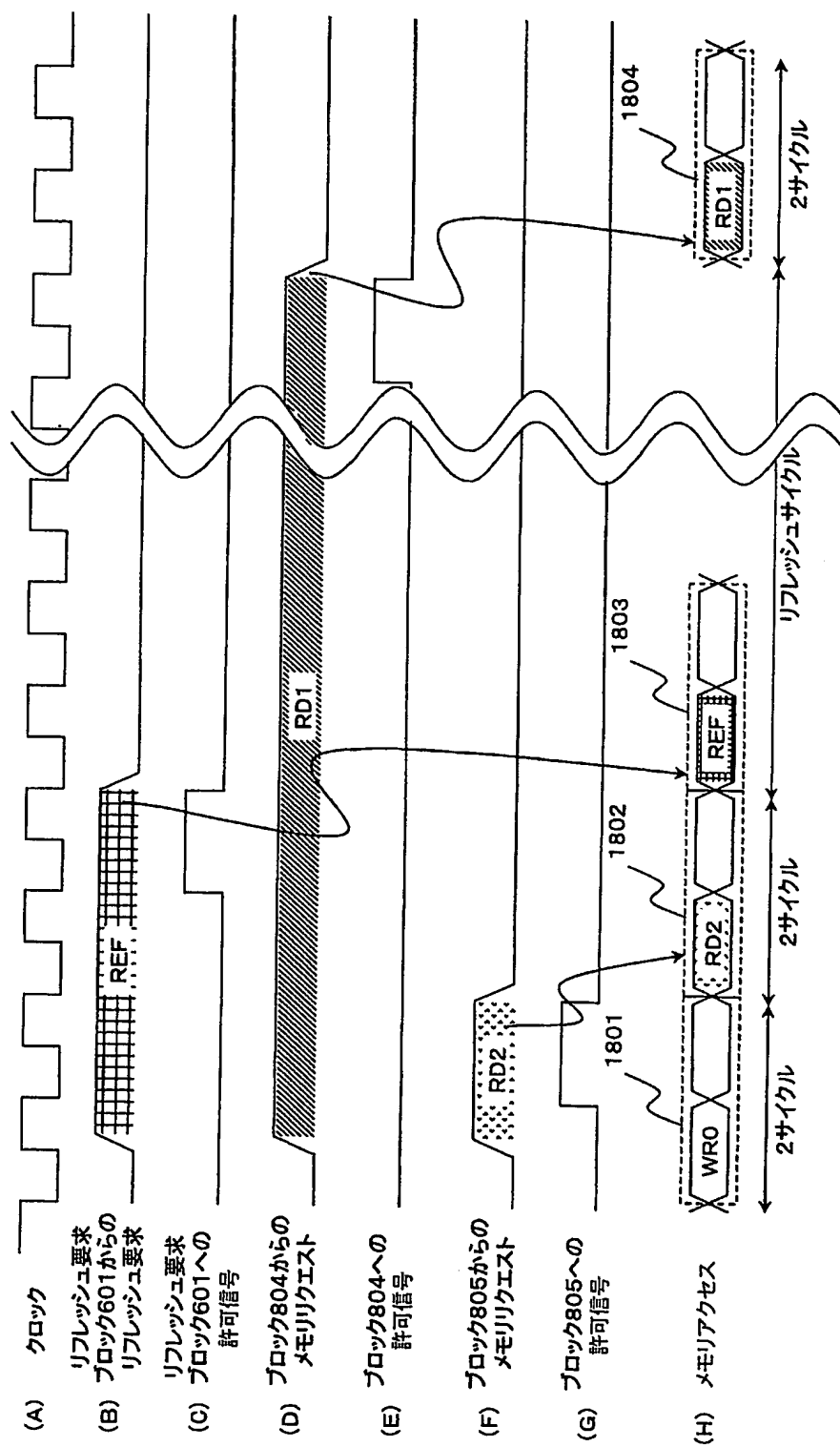
15/19

図 15



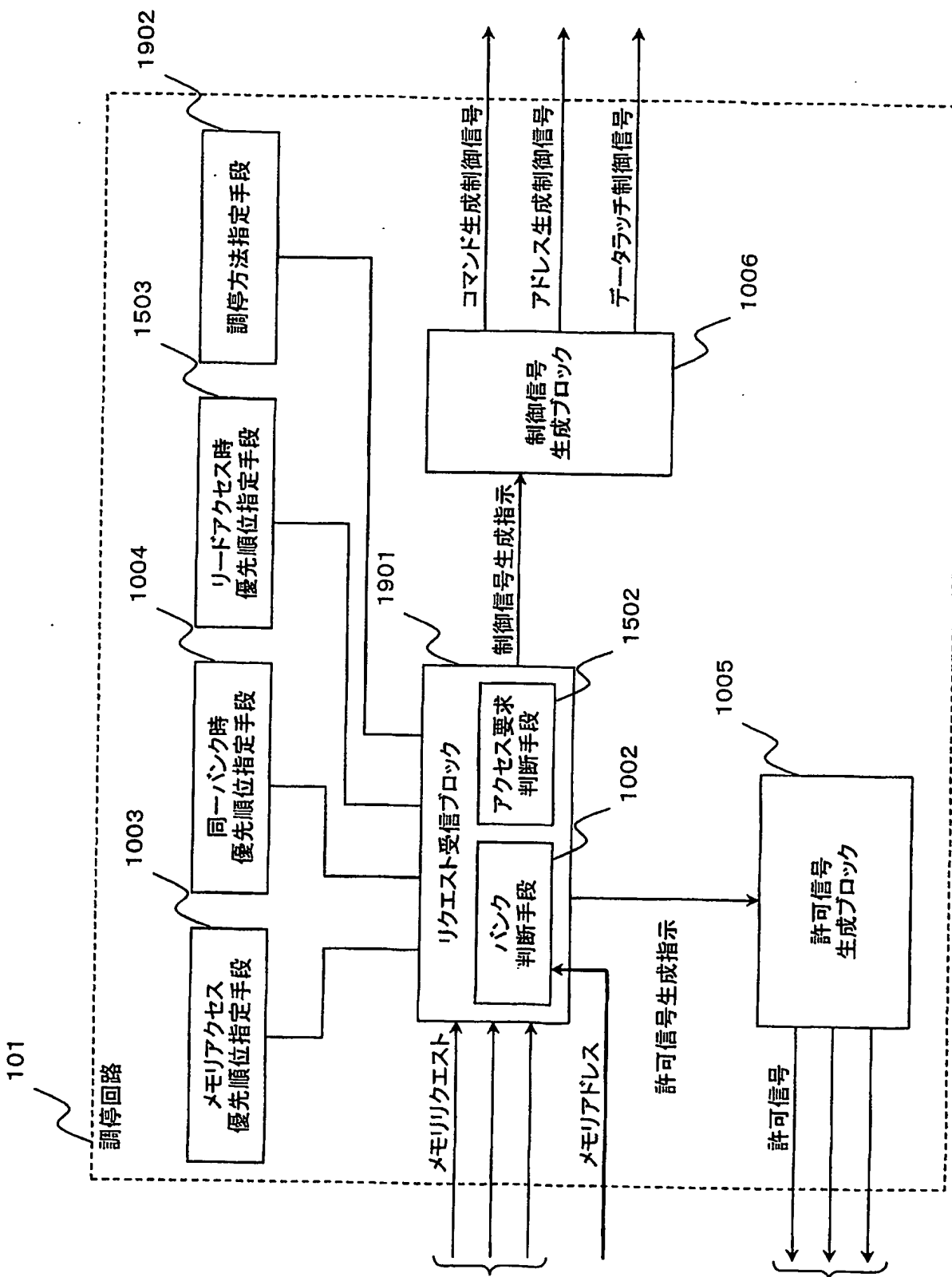
16/19

図 16



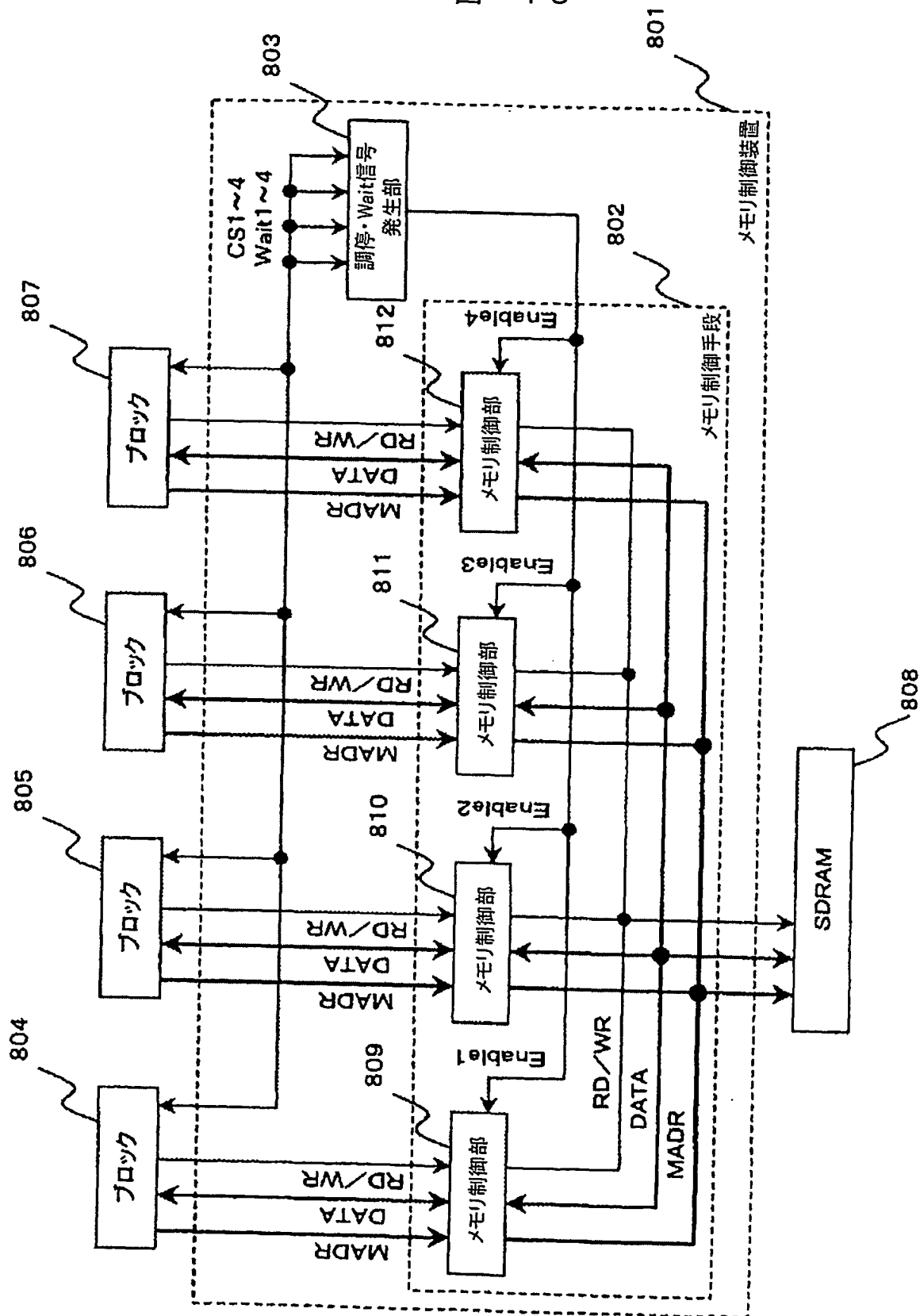
17/19

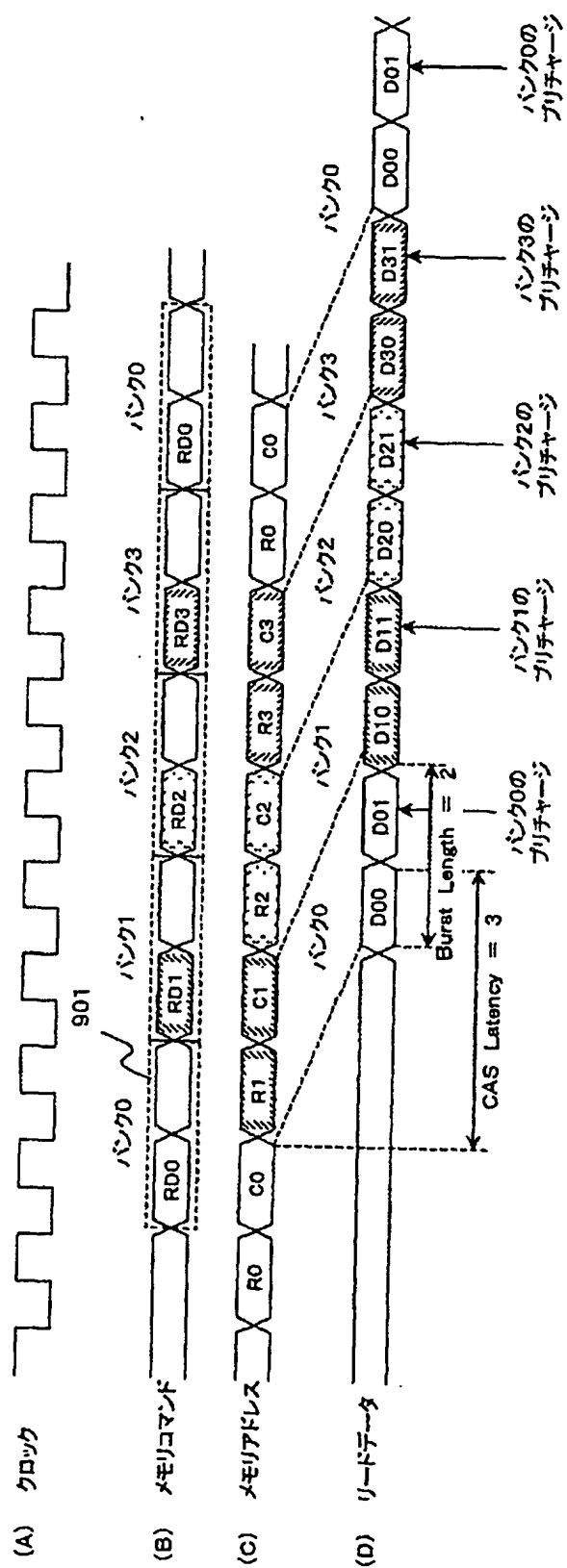
図 17



18/19

図 18





INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/000671

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G06F12/06, 12/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G06F12/00-06, 13/16-18, G11C11/406

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2000-172560 A (Matsushita Electric Industrial Co., Ltd.), 23 June, 2000 (23.06.00), Full text; all drawings & EP 935199 A2 & JP 11-224221 A & CN 1227953 A & US 6340973 B1	1-8 9-14, 34-40
Y A	JP 2001-356961 A (NEC Corp.), 26 December, 2001 (26.12.01), Full text; all drawings & WO 01/97040 A1 & EP 1313019 A1 & US 2003/0140201 A1	1-8, 20-26 34-40
Y A	JP 8-314793 A (Fujitsu Ltd.), 29 November, 1996 (29.11.96), Full text; all drawings & US 5752266 A	1-8, 20-26 27-40

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* "A"	Special categories of cited documents: document defining the general state of the art which is not considered to be of particular relevance	"T"	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E"	earlier document but published on or after the international filing date	"X"	document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L"	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y"	document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O"	document referring to an oral disclosure, use, exhibition or other means	"&"	document member of the same patent family
"P"	document published prior to the international filing date but later than the priority date claimed		

Date of the actual completion of the international search
20 February, 2004 (20.02.04)

Date of mailing of the international search report
09 March, 2004 (09.03.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/000671

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2000-315173 A (Matsushita Electric Industrial Co., Ltd.), 14 November, 2000 (14.11.00), Par. Nos. [0028] to [0039]; Figs. 1, 7 & WO 00/67129 A1 & CN 1302405 A & KR 2001/053272 A	15-19
Y A	JP 10-228417 A (Hyundai Electronics America), 25 August, 1998 (25.08.98), Full text; all drawings & EP 843262 A2 & KR 98/042453 A & US 6272600 B1	20-26 11,12,34-40
A	JP 2001-222461 A (Fuji Xerox Co., Ltd.), 17 August, 2001 (17.08.01), Full text; all drawings (Family: none)	27-33

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int. Cl⁷ G06F12/06, 12/00

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
Int. Cl⁷ G06F12/00-06, 13/16-18, G11C11/406

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
日本国公開実用新案公報 1971-2004年
日本国登録実用新案公報 1994-2004年
日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	JP 2000-172560 A(松下電器産業株式会社) 2000. 06. 23, 全文, 全図 & EP 935199 A2 & JP 11-224221 A & CN 1227953 A & US 6340973 B1	1-8 9-14, 34-40
Y A	JP 2001-356961 A(日本電気株式会社) 2001. 12. 26, 全文, 全図 & WO 01/97040 A1 & EP 1313019 A1 & US 2003/0140201 A1	1-8, 20-26 34-40

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

20. 02. 2004

国際調査報告の発送日

09. 3. 2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

多賀 実

5N

9367

電話番号 03-3581-1101 内線 3545

C (続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	JP 8-314793 A(富士通株式会社) 1996. 11. 29, 全文, 全図 & US 5752266 A	1-8, 20-26 27-40
X	JP 2000-315173 A(松下電器産業株式会社) 2000. 11. 14, 第【0028】 - 【0039】 段落, 図面第1, 7図 & WO 00/67129 A1 & CN 1302405 A & KR 2001/053272 A	15-19
Y A	JP 10-228417 A(ヒュンダイ エレクトロニクス アメリカ) 1998. 08. 25, 全文, 全図 & EP 843262 A2 & KR 98/042453 A & US 6272600 B1	20-26 11, 12, 34-40
A	JP 2001-222461 A(富士ゼロックス株式会社) 2001. 08. 17, 全文, 全図(ファミリーなし)	27-33